

---

**TECHNICKÁ UNIVERZITA V LIBERCI**  
Fakulta mechatroniky a mezioborových inženýrských studií

Studijní program: M2612 – Elektrotechnika a informatika  
Studijní obor: 3906T001 – Mechatronika

**Univerzální přípravek pro měření  
AD převodníků**

**Universal measuring device for  
AD converters**

**Diplomová práce**

Autor:	<b>Jan Schejbal</b>
Vedoucí práce:	Ing. Lubomír Slavík
Konzultant:	

**V Liberci 17. 10. 2006**

# TECHNICKÁ UNIVERZITA V LIBERCI

Fakulta mechatroniky a mezioborových inženýrských studií

Katedra: KAM

Akademický rok: 2006/2007

## ZADÁNÍ DIPLOMOVÉ PRÁCE

pro: **Jana Schejbala**

studijní program: M 2612 – Elektrotechnika a informatika

obor: 3906T001 - Mechatronika

Vedoucí katedry Vám ve smyslu zákona o vysokých školách č.111/1998 Sb. určuje tuto diplomovou práci:

Název tématu: **Univerzální přípravek pro měření AD převodníků**

Zásady pro vypracování:

1. Prostudujte principy funkce a testování stávajících typů AD a DA převodníků.
2. Navrhněte hardware a software přípravku pro porovnání vlastností různých typů AD převodníků.
3. Realizujte funkční měřicí pracoviště v rámci výuky MT1.

## Prohlášení

Byl(a) jsem seznámen(a) s tím, že na mou diplomovou práci se plně vztahuje zákon č. 121/2000 o právu autorském, zejména § 60 (školní dílo).

Beru na vědomí, že TUL má právo na uzavření licenční smlouvy o užití mé diplomové práce a prohlašuji, že **s o u h l a s í m** s případným užitím mé diplomové práce (prodej, zapůjčení apod.).

Jsem si vědom(a) toho, že užít své diplomové práce či poskytnout licenci k jejímu využití mohu jen se souhlasem TUL, která má právo ode mne požadovat přiměřený příspěvek na úhradu nákladů, vynaložených univerzitou na vytvoření díla (až do jejich skutečné výše).

Diplomovou práci jsem vypracoval(a) samostatně s použitím uvedené literatury a na základě konzultací s vedoucím diplomové práce a konzultantem.

Datum

Podpis

## Poděkování

Rád bych poděkoval svému vedoucímu diplomové práce: *Ing. Lubomíru Slavíkovi* za dobré vedení a cenné připomínky, při řešení diplomové práce. Děkuji svým rodičům, kteří mě v náročném studiu podpořili. Dále bych rád poděkoval firmě Amtek (distributor součástek Analog Device), která poskytla stěžejní součástky pro realizaci praktické části diplomové práce. V neposlední řadě děkuji: Ústavu řízení systémů a spolehlivosti, neziskové organizaci YMCA Liberec, za poskytnutí prostor a zapůjčení potřebného vybavení k realizaci a oživení měřicího přípravku.

## **Abstrakt**

Návrh a realizace univerzálního přípravku pro testování a prezentaci vlastností v praxi nejpoužívanějších typů A/D převodníků. Možnost porovnání převodníků z hlediska rozlišení, rychlosti převodu, šumové imunity a analýzy chyb.

## **Anotace**

Univerzální měřicí přípravek má za úkol prakticky ukázat princip digitalizace analogového signálu a porovnat vlastnosti nejpoužívanějších typů A/D převodníků, a to integračního, aproximačního a paralelního. Tohoto cíle je dosaženo digitalizací signálu a následnou zpětnou rekonstrukcí pomocí rychlého a přesného D/A převodníku. Na měřicí přípravek byl kladen důraz na životnost přípravku, univerzálnost a názornost. Životnost přípravku je docílena minimem mechanicky namáhaných částí a koncepce v jeden robustní celek. Univerzálnost přípravku je zajištěna kompaktností měřicího přípravku, možností volby vstupního signálu buď stejnosměrného nebo střídavého, výběrem A/D převodníku, nebo možností manuálního nastavení analogové a digitální veličiny. Názornost je zajištěna pomocí osciloskopu, kde porovnáním vstupního a rekonstruovaného digitalizovaného střídavého signálu je možno sledovat vliv změny amplitudy, frekvence a volby A/D převodníku. Převod stejnosměrného signálu je indikován pomocí zobrazovací jednotky tvořené z LED diod a sedmisegmentového displeje.

Hlavní parazitní vlastnosti jednotlivých A/D převodníků, jako je integrální, diferenciální a kvantizační chyba, se zásadně projeví až na střídavém signálu. Změnou amplitudy a frekvence střídavého signálu lze porovnat rozlišení a rychlost převodu daného vybraného typu A/D převodníku. Při malé rychlosti převodu a velké frekvenci bude docházet ke ztrátě informace, která se projeví na tvaru digitalizovaného signálu.

**Klíčová slova:** Elektronika, digitalizace signálu, A/D převodníky.

## **Abstract**

Design and realization of a universal measuring board for testing and demonstration of features of the most used A/D converters. Possibility of converters' comparison in light of accuracy, conversion rate, noise immunity and errors analysis.

## **Annotation**

The main task of universal board is to show principle of analogue signal digitizing and to compare features of the most used types of A/D converters, namely integrating, successive approximations and flash type. This aim is reached by analogue signal digitizing and subsequent back reconstruction by help of quick and accurate D/A converter.

The main emphasis was put on lifetime, versatility and clearness of this tool. Long lifetime is reached by using of minimum mechanical stressed parts and placing of all parts into one board. The universality of this board is reached by the compactness of the measuring board, the possibility to choose DC or AC input signal, the possibility to select various A/D converters or by the option of manual adjusting of analogue or digital signal. The clearness is reached by the use of an oscilloscope, where we can compare the input and the converted output signal that depends on input frequency and selected of A/D converter type. DC input signal is represented by LED diodes and a seven segment display. The main property of various A/D converters is for example integral, differential and discretization errors, and takes effect only on AC signals. By changing the AC input signal amplitude and frequency, we can compare the conversion accuracy and speed of the selected A/D converter. On low conversion speeds and high frequencies of input signal a part of the digital information will be lost and the output waveform will change.

**Keywords:** Electronics, Discrating of signals, A/D converters

# Obsah

Prohlášení.....	3
Poděkování.....	4
Abstrakt.....	5
Anotace .....	5
Abstract .....	6
Annotation.....	6
Úvod.....	8
1. Principy A/D a D/A převodníků .....	9
1.1. Princip paralelního A/D převodníku .....	9
1.2. Princip aproximačního A/D převodníku .....	10
1.3. Princip A/D převodníku se sigma delta modulací .....	12
1.4. Princip D/A převodníku s odporovou sítí R-2R .....	15
2. Chyby A/D a D/A převodníků .....	16
2.1. Chyby D/A převodníku .....	16
2.2. Chyby A/D převodníku .....	17
3. Funkce přípravku .....	20
3.1. Funkce základního měření na A/D převodníku .....	20
3.2. Funkce měření na D/A převodníku .....	22
3.3. Funkce spojení A/D a D/A převodníků – rekonstrukční test.....	23
3.4. Funkce porovnání A/D převodníků .....	24
4. Realizace hardware .....	25
4.1. Ošetření tlačítek proti záskritům.....	25
4.2. Zobrazení .....	27
4.3. Dělič napětí .....	28
4.4. Generátor pulsů pro hradlové pole.....	29
4.5. Vzorkovací generátor pulsů pro paralelní A/D převodník.....	30
4.6. A/D převodník pro základní měření – deska1 .....	32
4.7. D/A převodník pro základní měření – deska1 .....	32
4.8. A/D převodníky pro rozšířený modul – deska2 .....	32
4.9. D/A převodník pro rozšířený modul – deska2 .....	35
4.10. Řízení na sběrnici dat a výběr A/D převodníku.....	35
4.11. Desky plošných spojů .....	36
4.12. Napájení měřicího přípravku .....	37
4.13. Ochrany přípravku .....	38
5. Princip programování hradlových polí .....	39
6. Realizace softwaru pro hradlová pole.....	40
6.1. Software pro hradlové pole 1 .....	40
6.2. Software pro hradlové pole 2 .....	41
7. Měření A/D převodníků .....	42
7.1. Shrnutí vlastností použitých A/D převodníků.....	42
7.2. Výsledky měření na A/D převodnících.....	43
Závěr .....	50
Použitá literatura .....	51
PŘÍLOHY .....	52

## Úvod

S velkým rozvojem výpočetní techniky v posledních letech je snaha většinu analogový veličin převádět na digitální. Právě tento rozvoj výpočetní techniky nás nutí zamýšlet se nad tím jak převést jednotlivé analogové signály do digitální podoby. Digitalizace signálu má řadu výhod, ale má i své nevýhody. Mezi výhody patří například archivace a přenositelnost dat, či jiné funkční operace, které nelze s analogovými signály provádět. Nevýhodou digitalizace analogového signálu je jeho konečná přesnost, chyby vznikající při převodu analogové veličiny na digitální a neposlední řadě rychlost převodu. Nejčastěji se v průmyslové praxi setkáváme s analogovým signálem v podobě elektrického napětí a proudu, který můžeme převést pomocí analogově-digitálních převodníků (dále jen AD převodníků). Existuje několik metod, principů převodu analogového signálu na digitální. Proto se vyrábějí různé typy AD převodníků. Úkolem diplomové práce by mělo být seznámit se s těmito principy digitalizace signálu, porovnat jejich výhody a nevýhody, navrhnout a realizovat měřicí přípravek, který by se měl snažit popsat a prakticky ukázat jednotlivé vlastnosti nejběžněji používaných AD převodníků v technické praxi. Jsou to například: AD převodníky založené na principu postupné aproximace, přímou komparací signálu tzv. paralelní převodníky nebo v poslední době moderní AD převodníky využívající sigma-delta modulaci. Důkladně prostudovat jednotlivé principy nejčastěji používaných AD převodníků, vybrat vhodného zástupce pro každý princip analogového převodu, navrhnout vhodné řízení převodu a navrhnout vhodnou metodu měření. Vhodně uspořádat jednotlivé obvody tak, aby bylo možné porovnání jednotlivých principů za stejných podmínek měření, případně provedení korekcí tak, aby se jednotlivé měřicí řetězce lišily pouze minimálně. Cílem by měla být studie, zabývající se problematikou převodu analogového signálu na digitální, realizace měřicího přípravku, který by měl sloužit jako názorná pomůcka do výuky měřicí techniky. Pomocí měřicího přípravku se porovnají hlavní rysy jednotlivých principů AD převodníku jako je například: rychlost převodu, počet bitů (rozlišitelnost) s ohledem na danou technologii výroby a princip digitalizace nebo potlačení šumu vůči signálu.

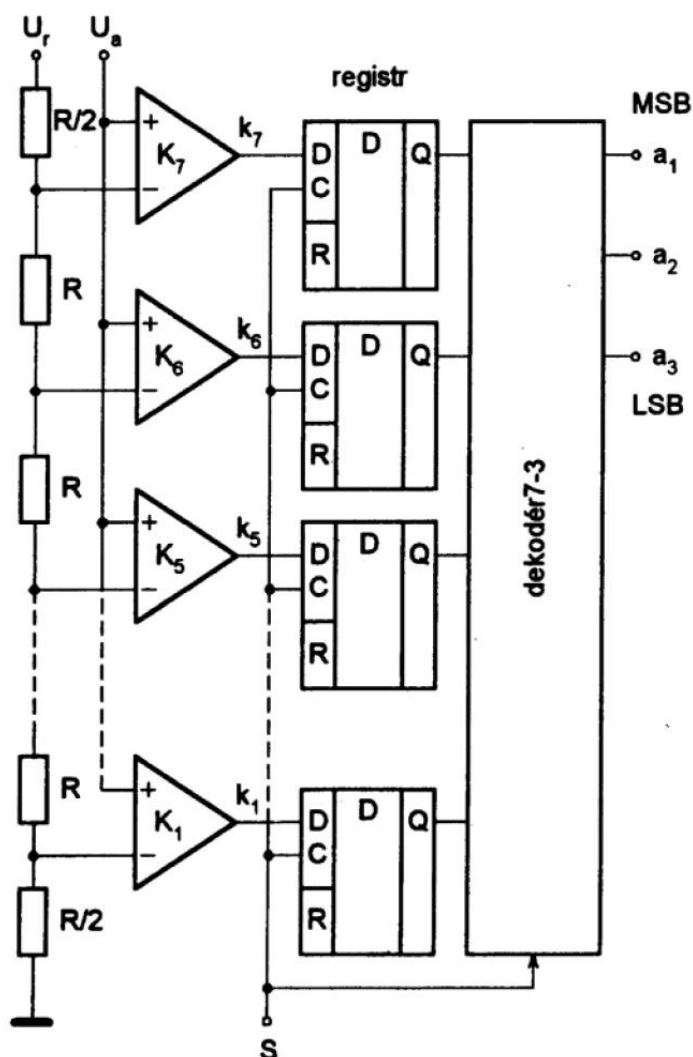


# 1. Principy A/D a D/A převodníků

Stručné shrnutí principů A/D a D/A převodníku, které jsem použil v měřicím přípravku. Obrázky jsou převzaty z literatury [3]. Podrobnější výklad je možno nalézt v literatuře [3], kapitola 17, kapitola 18.

## 1.1. Princip paralelního A/D převodníku

Paralelní A/D převodník pracuje na principu rychlého (paralelního) porovnání analogové veličiny s váhově odstupňovanými analogovými referencemi. Principiální schéma je vidět na *obrázku 1.1*.



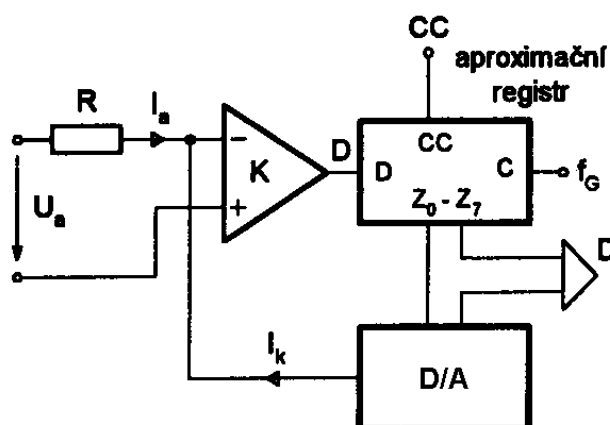
obr. 1.1 – Principiální schéma paralelního převodníku

Podrobněji si popíšeme schéma na *obrázku 1.1*, kde je princip tříbitového paralelního převodníku, které se skládá z odporového děliče, napěťových komparátorů, číslicových registrů a číslicového dekodéru. Odporový dělič je složen z odporů o hodnotách  $R$  a  $R/2$  a je zapojen na referenční napětí  $U_r$ , takže na jeho odbočkách se vytvoří dílčí napěťové úrovně odvozené z referenčního napětí  $U_r$ . Napěťové komparátory pak porovnají vstupní analogové napětí  $U_a$  z dílčími komparačními napětí a vytvoří tím digitální kód, který odpovídá vstupnímu analogovému napětí  $U_a$ . Převod analogového napětí do digitálního kódu si popíšeme například na napěťovém komparátoru K1. Bude-li hodnota napětí  $U_a$ , které je zapojeno do neinvertujícího vstupu na komparátoru K1 větší než je hodnota napěťové úrovně vytvořené pomocí odporového děliče, tak výstup komparátoru K1 bude v kladné saturaci, která odpovídá logické hodnotě 1. Bude-li tomu však naopak, že hodnota napětí  $U_a$  bude menší než je napěťová hodnota z odbočky odporového děliče, bude na výstupu napěťového komparátoru K1 záporná saturace, která odpovídá logické hodnotě 0. Obdobně se tak děje na dalších napěťových komparátorech. Počet napěťových komparátorů je závislý na rozlišení paralelního převodníku a to tak, že je zapotřebí o jeden komparátor méně než je počet úrovní převodníku, které získáme z počtu bitů paralelního převodníku vztahem  $2^n$ , kde  $n$  je počet bitů převodníku. Dál se digitální kód vytvořený z napěťových komparátorů uloží do číslicových registrů, které mají za úkol zapamatovat si hodnotu současného digitálního kódu až do té doby, než přijde znovu hodinový signál na vývod označený písmenem S, viz. *obrázek 1.1*. Tímto signálem S se realizuje vzorkování vstupního analogového signálu. Protože takto vytvořený digitální kód neodpovídá nejčastěji používanému binárnímu kódu, je zapotřebí tento digitální kód převést na kód binární. Převod se realizuje pomocí číslicového dekodéru, který je ve své podstatě kombinačním obvodem. Protože složitost dekodéru se velmi rychle zvětšuje v závislosti na počtu přibývajících bitů paralelního převodníku a jeho výroba při větším počtu bitů není jednoduchá, proto se tyto typy A/D převodníku vyrábí s malým počtem bitů (malou rozlišitelností).

## 1.2. Princip aproximačního A/D převodníku

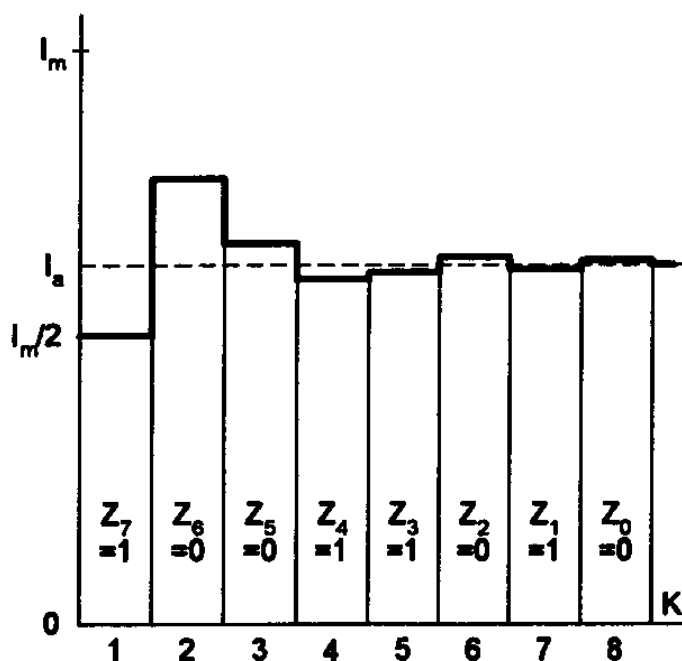
Aproximační A/D převodník pracuje na principu postupnému se přibližování skutečné analogové veličině tzv. *aproximaci*. Principiální schéma aproximačního A/D převodníku je uvedeno na *obrázku 1.2*. Zde je vidět, že aproximační A/D převodník

obsahuje aproximační registr, převodník napětí proud (odpor  $R$ ), proudový komparátor  $K$  a D/A převodník. Analogovou veličinu, aproximační A/D převodník převede v  $N+1$  taktech. Kde  $N$  je počet bitů aproximačního A/D převodníku. Rychlost taktů závisí na frekvenci generátoru  $f_G$ . Poslední takt slouží pro potvrzení binárního kódu, který odpovídá vstupní analogové veličině  $U_a$ .



**obr. 1.2 – Principiální schéma aproximačního převodníku**

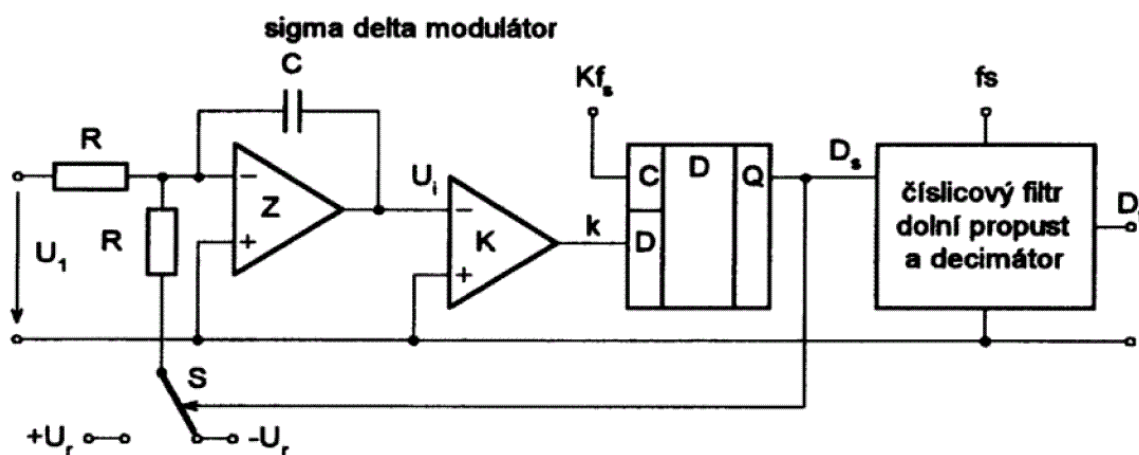
Princip schématu uvedeného na *obrázku 1.2* je v postupném porovnávání proudů z D/A označené ve schématu na *obrázku 1.2* jako  $I_k$  a proud  $I_a$ , který odpovídá vstupnímu napětí  $U_a$ . V prvním taktu se pomocí D/A převodníku vyrobí proud o poloviční velikosti maximálního možného proudu  $I_m$  a pomocí komparátoru  $K$  se porovná s proudem  $I_a$ . Jeli proud  $I_a$  větší než proud vygenerovaný z D/A převodníku nastaví se nejvyšší bit aproximačního A/D převodníku na logickou úroveň 1 a v dalším taktu se přičte proud o čtvrtinové velikosti maximálního proudu  $I_m$  k proudu, který byl vygenerován v prvním taktu. Bude-li však vygenerovaný proud větší než vstupní proud, tak se nejvyšší bit nastaví do logické úrovně 0 a v dalším taktu se proud o čtvrtinové hodnotě maximálního proudu odečte od vygenerovaného proudu v prvním taktu. Postupně se tedy přičítají nebo odčítají jednotlivé váhové proudy a tvoří se binární kód. Průběh proudu  $I_k$  je vidět na *obrázku 1.3*



obr. 1.3 - Průběh proudu  $I_k$

### 1.3. Princip A/D převodníku se sigma delta modulací

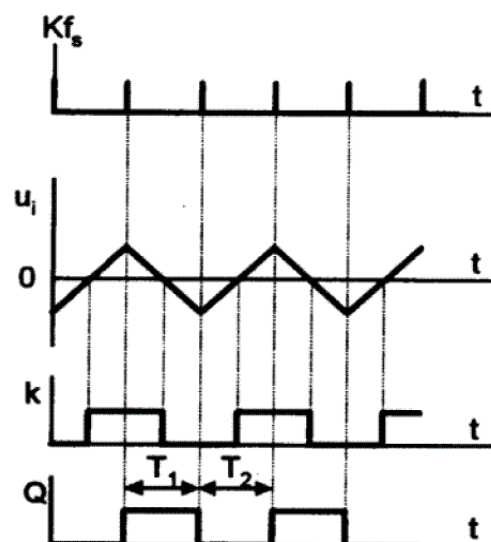
A/D převodník se sigma delta modulací pracuje na principu vyrovnávání náboje na akumulativním prvku (kondenzátoru), který je zapojen do obvodu s operačním zesilovačem a tvoří tím funkci integrátoru. Vyrovnávání náboje se děje pomocí vzorkované zpětné vazby, která udržuje nulovou střední hodnotu náboje na kondenzátoru integrátoru. Principiální schéma A/D převodníku se sigma delta modulací je uvedeno na obrázku 1.4



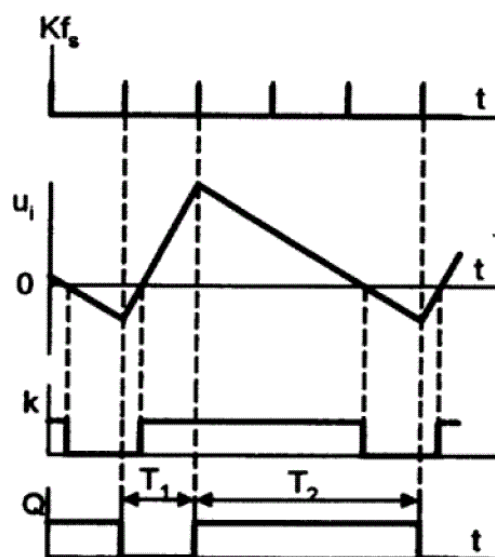
obr. 1.4 – Principiální schéma A/D převodníku se sigma delta modulací

Rozeberme si podrobněji schéma uvedené na *obrázku 1.4*, kde vidíme A/D převodník se sigma delta modulací, který se skládá z několika funkčních bloků a to sumátoru napětí s integrátorem jako jeden celek, napěťového komparátoru, klopného obvodu a číslicového filtru s decimátorem. Sumátor napětí sečte napětí  $U_1$  s napětím  $U_r$  nebo  $-U_r$ , to podle toho do jaké polohy bude nastaven přepínač  $S$ , který je řízen vzorkovanou zpětnou vazbou. Po sečtení napětí sumátorem se výsledek začne integrovat, pomocí integrátoru s integrační konstantou, která vznikne součinem hodnoty  $R$  s hodnotou  $C$ . V uzlu označeném jako  $U_i$  se vytváří pilový průběh napětí, jehož střída je závislá na vstupním napětí  $U_1$ . Budeme-li uvažovat vstupní napětí  $U_1$  za nulové, bude se v uzlu označeném  $U_i$  tvořit pilové napětí se střídou 1:1. Přepínáním přepínačem označeném jako  $S$ , který přepíná na hodnotu referenčního napětí  $U_r$  nebo na  $-U_r$  je docíleno stejného časového intervalu integrace a proto se pilový signál mění se střídou 1:1. V ostatních případech bude vstupní napětí  $U_1$  různé od hodnoty nula a střída pilového signálu v uzlu  $U_i$  bude rozvážena od původní střídy 1:1 právě o hodnotu, která bude odpovídat vstupnímu napětí  $U_1$ . Dále se pilový průběh porovná v invertujícím napěťovém komparátoru a vytvoří se z pilového průběhu obdélníkový. Pomocí klopného obvodu typu D je obdélníkový průběh synchronizován pomocí hodinového signálu, jehož frekvence je mnohonásobně vyšší než je frekvence vzorkování označená jako  $f_s$ . Jednotlivé průběhy signálů pro vstupní napětí  $U_1$  rovno nule nebo poloviční hodnotě  $U_r$  jsou vidět na *obrázku 1.5* a *obrázku 1.6*. Zavádí se takzvaný koeficient převzorkování, který se označuje písmenem  $K$ , jehož hodnota se volí v rozmezí od 100 až do 10000. Zvýšíme-li vzorkovací kmitočet tímto koeficientem  $K$  dosáhneme tím zmenšení kvantovacího šumu, který se z původní šířky frekvenčního spektra, dáno právě vzorkovací frekvencí  $f_s$ , roztáhne do šířky převzorkovaného signálu rovné součinu koeficientu  $K$  a vzorkovací frekvence  $f_s$ . Protože výkon frekvenčního spektra, který je roven obsahu plochy frekvenčního spektra, je konstantní a mění se jen rozměry plochy (obdélníku), tak se při převzorkování na vyšší hodnotu kmitočtu, výrazně potlačí kvantizační šum. Výše uvedeným způsobem upravený signál se navzorkuje a přivede do číslicového filtru, který je tvořen až 256 proměnnými koeficienty a následně upraven decimátorem, který redukuje výstupní frekvence z číslicového filtru. Výstupní data z číslicového filtru se pak přenášejí pomocí redukovaného kmitočtu  $f_v$  a odpovídají vstupnímu napětí.

A/D převodníky toho typu se používají k velmi přesnému měření například fyzikálních veličin nebo v nízkofrekvenční technice. Data jsou většinou přenášena pomocí sériové komunikace.



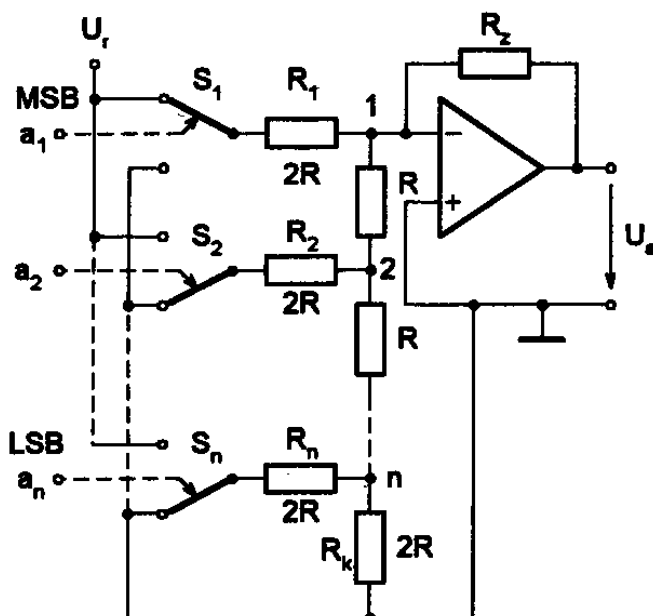
obr. 1.5 – Průběh signálů pro vstupní napětí  $U_1 = 0$



obr. 1.6 – Průběh signálů pro vstupní napětí  $U_1 = U_r/2$

## 1.4. Princip D/A převodníku s odporovou sítí R-2R

D/A převodník s odporovou sítí R-2R má výhodu, že odporová síť se skládá pouze z dvou hodnot odporů a to hodnoty R a hodnoty dvakrát větší než je R. Uspořádání odporů je vidět na *obrázku 1.7*



obr. 1.7 – Principiální schéma D/A převodníku s odporovou sítí R-2R

Z *obrázku 1.7* je vidět, že pokud bude přepínač  $S_1$  připojen na referenční napětí  $U_r$  a ostatní přepínače budou přepnuty tak, aby odpory  $R_2$  až  $R_n$  byly uzemněny. Výsledná kombinace odporů do bodu 2 bude právě rovna hodnotě R. Sérovým zařazením této výsledné hodnoty R s odporem mezi body 1 a 2 dostáváme celkovou hodnotu odporu  $2R$ . Budeme-li bod 1 považovat z virtuální zem, tak tímto odporem nepoteče žádný proud. Proud poteče pouze odporem  $R_1$  a jeho hodnota bude rovna podílu referenčního napětí  $U_r$  ku odporu o hodnotě  $2R$ . Bude-li přepínač  $S_2$  přepnut do polohy k referenčnímu napětí a ostatní přepínače budou přepnuty k zemi. Bude hodnota proudu do bodu 1 rovna podílu referenčního napětí k  $4R$ . Postupným přepínáním přepínačů  $S_1$  a  $S_n$  dochází ke změnám proudu do bodu 1. Změna proudu se pak pomocí odporové zpětné vazby převádí na napětí  $U_a$ .

## 2. Chyby A/D a D/A převodníků

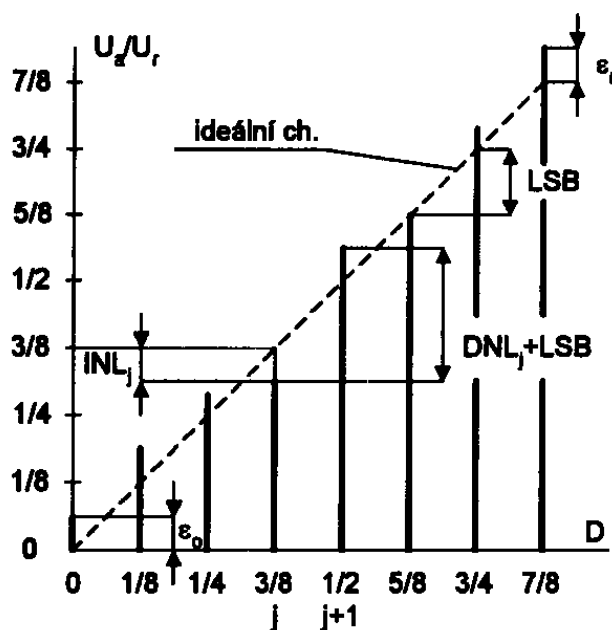
U A/D a D/A převodníku se projevují tyto chyby:

- chyba nuly
- chyba zesílení
- integrální nelinearita
- diferenciální nelinearita
- kvantovací chyba
- chyba vlivem ztráty jednotlivých bitů (nemonotónost)

Jednotlivé uvedené chyby budou stručně vysvětleny v dalších kapitolách pro jednotlivé A/D a D/A převodníky.

### 2.1. Chyby D/A převodníku

Jednotlivé chyby D/A převodníku jsou nejlépe vidět na převodní charakteristice D/A převodníku. Na svislou osu vynášíme vstupní kódové slovo  $D$  a na vodorovnou osu poměr výstupního napětí  $U_a$  k referenčnímu napětí  $U_r$ . Převodní charakteristika odpovídá 3-bitovému D/A převodníku a je vidět na *obrázku 2.1*



obr. 2.1 – Převodní charakteristika D/A převodníku s vyznačenými chybami

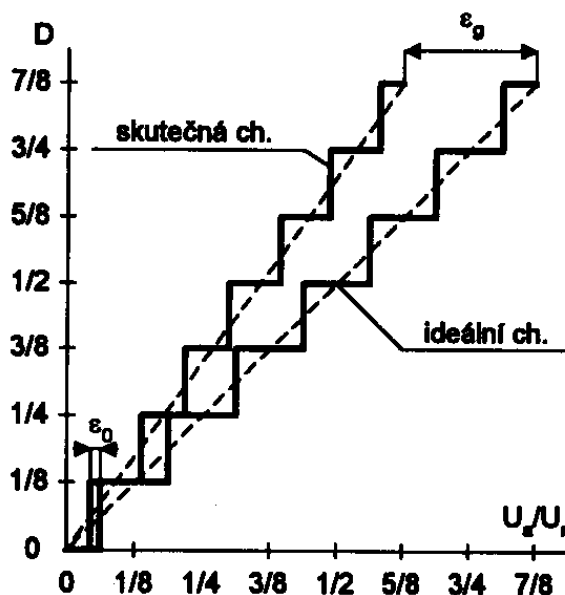


Popis chyb v obrázku:

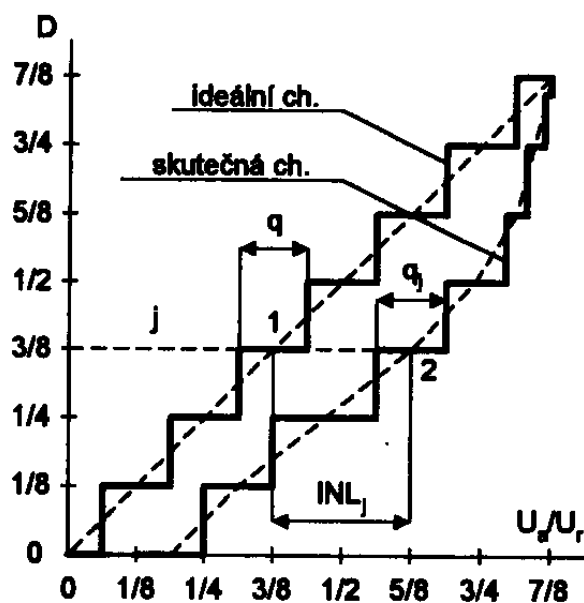
- $\varepsilon_0$  je tzv. *chyba nuly* = při binárním kódu nula, bude na výstupu D/A převodníku napětí, které právě charakterizuje chybu nuly.
- $\varepsilon_r$  je tzv. *chyba zesílení* = rozdíl mezi ideální a skutečnou směrnicí zesílení
- *INL* je tzv. *integrální nelinearita* = napěťová odchylka mezi skutečnou a ideální hodnotou odpovídající j-té vstupní digitální hodnotě.
- *DNL* je tzv. *diferenciální nelinearita* = napěťová odchylka mezi skutečnou a ideální hodnotou odpovídající jednomu kroku mezi digitální hodnotou j a j+1.

## 2.2. Chyby A/D převodníku

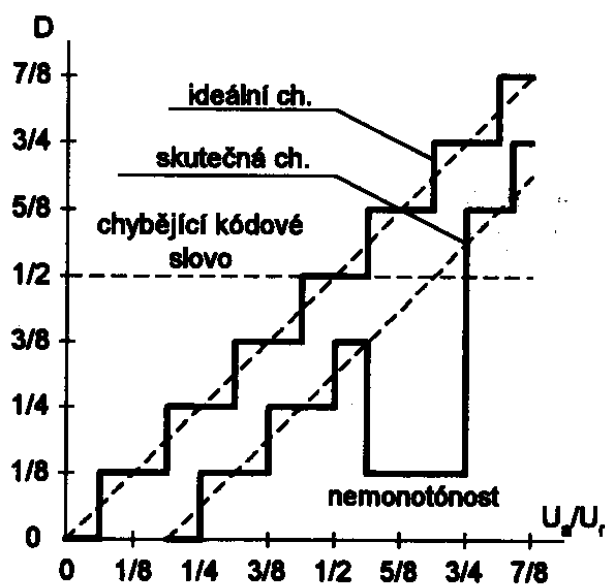
Jednotlivé chyby A/D převodníku jsou vidět nejlépe na převodní charakteristice A/D převodníku. Na vodorovnou osu vynášíme poměr výstupního napětí  $U_a$  k referenčnímu napětí  $U_r$  a na svislou osu vynášíme vstupní kódové slovo D. Značení os odpovídá pouze pro *obrázek 2.2, obrázek 2.3, obrázek 2.4*. Pro kvantování chyby, která je vidět na *obrázku 2.5* se na svislou osu vynáší velikost kvantovací chyby  $\varepsilon_q$ .



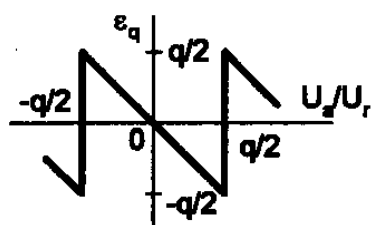
obr. 2.2 - Převodní charakteristika A/D převodníku s chybami zesílení a nuly



obr. 2.3 –Převodní charakteristika A/D převodníku s chybami INL a DNL



obr. 2.4 – Nemonotónnost převodní charakteristiky



obr. 2.5 - Kvantování chyba A/D převodníku

Popis chyb k obrázkům:

- $\varepsilon_0$  je tzv. *chyba nuly* = odchylka mezi ideální a skutečnou první hranou převodní charakteristiky. (tehdy když se mění nejméně významný bit z logické úrovně 0 do logické úrovně 1, při ostatních bitech s logickou úrovní 0)
- $\varepsilon_g$  je tzv. *chyba zesílení* = napěťový rozdíl mezi ideální a skutečnou směrnici zesílení
- *INL* je tzv. *integrální nelinearita* = napěťový rozdíl středů kvantovacích úrovní mezi ideální a skutečnou převodní charakteristikou A/D převodníku v j-té digitální hodnotě.
- *DNL* je tzv. *diferenciální nelinearita* = napěťový rozdíl dvou kvantovacích úrovní ideální a skutečné převodní charakteristiky A/D převodníku v j-té digitální hodnotě.
- *Chyba vlivem ztráty jednotlivých bitů* = počet neplatných bitů, které například byly ztraceny při přenosu dat.
- $\varepsilon_q$  je tzv. *kvantování chyba* = neodstranitelná chyba způsobena digitalizací (kvantováním) analogové veličiny.

### 3. Funkce přípravku

Celý přípravek je možno popsat dle jednotlivých funkcí. Přípravek tedy umožní základní měření na A/D převodníku, na D/A převodníku. Dále umožňuje propojení A/D a D/A převodníků a změnu počtu bitů při propojení A/D a D/A převodníků. Po připojení rozšiřujícího modulu měřicího přípravku, (deka 2) viz. *příloha č.8 až 12*, je možné měnit jednotlivé typy A/D převodníků a pozorovat změny výstupního signálu.

#### 3.1. Funkce základního měření na A/D převodníku

Při měření úlohy na A/D převodníku zapojíme přípravek na napájecí napětí a přepínačem který je umístěn vedle potenciometru zvolíme analogový vstup. Přepínač má dvě polohy externí analogový vstup a interní analogový vstup. Polohy přepnutí jsou znázorněny popisem na desce plošných spojů.

Přepneme-li do horní polohy přepínače, je zvolen externí analogový vstup a interní vstup je přerušen. Externí vstup je tvořen BNC konektorem, který je umístěn na desce plošných spojů vlevo nahoře a pospán jako EXT\_IN. Vstupní signál musí být tvořen stejnosměrným napětím a v rozsahu 0V až 10V. tento rozsah napětí je dán právě napětíovou referencí samotného A/D převodníku, která je právě 10V. Ještě než se napětíový analogový signál dostane na vstup samotného A/D převodníku je do cesty vřazen ochranný obvod, který v případě překročení vyššího napětí než 10V zareaguje a na vstup převodníku vstupní napětí nepustí. Ochranný obvod je tvořen jednoduchým stabilizátorem napětí, který je tvořen pomocí sériového odporu a Zenerovy diody. Jinými slovy pustíme-li do externího vstupu větší napětí než 10V, tak je tento signál Zenerovou diodou omezen a rozdíl vstupního napětí a referenčního (10V) se pak ztrácí na odporu před Zenerovou diodou. Pokud je tedy napětíový analogový signál v rozmezí 0V až 10V tak je zpracován A/D převodníkem, který je aproximačního typu. Samotný A/D převodník je zapojen tak, že samostatně převádí analogový signál na digitální, bez nutnosti cizího řízení. Tím se tedy analogový signál převedl na digitální informaci, kterou pak dále zpracovává první hradlové pole, které má za úkol rychle digitální informaci upravit dle potřeby a poslat ji na zobrazení. Na displeji se zobrazuje dekadická hodnota do hodnoty 127, po jejím překročení se automaticky přepne na zobrazení hexadecimální indikovaného pomocí písmena h.

Druhou možností měření na A/D převodníku je přepnou přepínač vedle potenciometru do spodní polohy, označení jako INT\_POT což znamená interní potenciometr. Je-li tedy přepínač v poloze INT\_POT, je externí vstup odpojen. Interní analogový napěťový signál je vytvářen pomocí napěťového děliče napětí, který je složen s pevných odporů a proměnného odporu. Proměnný odpor je realizován pomocí lineárního potenciometru. Pevné odpory se dají pomocí přepínače typu DIP zkratovat. Zkratováním jednoho pevného odporu se proud v celém odporovém děliči změní a tím se změní i celý dělicí poměr napěťového děliče. Jednotlivé hodnoty výstupního napětí děliče jsou vidět v *tabulce 3.1*.

**Tab. 3.1 - Nastavení děliče**

kombinace				výstupní napětí	
1	2	3	4	Umin[V]	Umax[V]
0	0	0	0	0	7,32
0	0	0	1	0	4,94
0	0	1	0	0	3,64
0	0	1	1	0	2,94
0	1	0	0	4,36	9,32
0	1	0	1	3,3	6,95
0	1	1	0	2,59	5,42
0	1	1	1	2,17	4,53
1	0	0	0	6,69	10,42
1	0	0	1	5,36	8,25
1	0	1	0	4,4	6,71
1	0	1	1	3,78	5,74
1	1	0	0	7,9	10,84
1	1	0	1	6,55	9,02
1	1	1	0	5,51	7,51
1	1	1	1	4,81	6,53

Kombinace přepínače je zpracována tak, že jednotlivá čísla odpovídají zkratovacím dipům. Hodnota 1 je stav kdy dip nezkratuje příslušný odpor v děliči a naopak hodnota 0 je stav kdy příslušný odpor je zkratován. Dále napěťový analogový signál je zpracován stejně, jako tomu bylo u vstupu externího. Tímto je zajištěno, že se dá dobře nastavovat vstupní napětí velké škále plynule po malých krocích až do maximální hodnoty napětí, které odpovídá referenčnímu napětí A/D převodníku. Hodnoty napětí kontrolujeme pomocí voltmetru zapojeného na svorky IN\_A/D a GND.

### 3.2. Funkce měření na D/A převodníku

Při měření úlohy na převodníku D/A je třeba uzemnit vstup A/D převodníku. Provedeme to buď tím že dipy 3 a 4 současně přepneme do hodnoty 0 a potenciometr zatočíme zprava do leva až na doraz. Po té přepneme přepínač do dolní pozice označené na desce plošných spojů jako INT\_POT. Tímto jsme zajistili, že vstupní analogový signál je roven 0V. Druhým rychlejším způsobem je přepnout přepínač vedle potenciometru do polohy EXT\_IN a na BNC konektor zapojit zakončovací odpor o hodnotě 50 Ohm. Hodnotu 0V můžeme popřípadě zkontrolovat připojením voltmetru na svorky označené jako IN\_A/D(žlutá zdířka) a GND. Připojíme voltmetr mezi svorky OUT\_D/A a GND. Vstupní digitální hodnotu pro D/A převodník pak nastavíme pomocí tlačítek D0 až D7. Přičemž tlačítko D0 odpovídá nejnižšímu bitu D/A převodníku, nebo-li tzv. LSB a tlačítko D7 odpovídá nejvyššímu bitu D/A převodníku, nebo-li tzv. MSB. Nastavení logické úrovně 1 se provádí stisknutím příslušného tlačítka. Stiskneme-li tlačítko podruhé, logická úroveň se změní z 1 na 0. Jednotlivé logické úrovně jsou zobrazeny pomocí LED diod a sedmisegmentového displeje. Nastavená hodnota se pomocí D/A převodníku převede na analogovou hodnotu, v našem případě na napětí, které lze změřit jednak pomocí voltmetru mezi svorkami OUT\_D/A a GND. Protože má D/A převodník proudový výstup, je hodnota proudu pomocí převodníku proud/napětí převedena na napětí. Tento převodník je tvořen invertujícím zesilovačem s operačním zesilovačem. Pro stejnosměrné napětí je tedy polarita výstupního napětí z D/A opačná než ve skutečnosti odpovídá binárnímu kódu D/A převodníku. Absolutní hodnotou je však stejná a liší se pouze ve znaménku. Zapojíme-li tedy voltmetr tak, že kladný pól zapojíme na svorku GND a záporný pól na svorku OUT\_D/A bude napětí odpovídat skutečnému napětí tvořeného binárním kódem na vstupu D/A. Napěťový výstup jaký je mezi svorkami OUT\_D/A a GND je též vyveden na BNC konektor, na který můžeme připojit pomocí koaxiálního kabelu přesnější voltmetr, který mívá zpravidla na svém vstupu BNC konektor.

### 3.3. Funkce spojení A/D a D/A převodníků – rekonstrukční test

Měřicí přípravek umí realizovat propojení A/D a D/A převodníku. Měření na vzájemně spojených převodnících A/D s D/A se označuje jako tzv. rekonstrukční test. Při tomto měření nastavíme přepínač vedle potenciometru do horní polohy, která je popsána na desce plošných spojů jako EXT\_IN. Na BCN konektor označen na desce plošných spojů jako IN\_A/D\_EXT připojíme BNC rozbočku typu T. Na jeden konec rozbočky připojíme pomocí koaxiálního kabelu funkční generátor a na druhý konec rozbočky připojíme též koaxiálním kabelem první kanál osciloskopu. Dále propojíme koaxiálním kabelem druhý kanál osciloskopu. Na funkčním generátoru nastavíme sinusový průběh o amplitudě maximálně 10V a frekvenci maximálně 20kHz. Protože přípravek umí zpracovávat pouze signály od 0V do 10V je třeba na funkčním generátoru nastavit úroveň stejnosměrné složky tzv. DC OFFSET. Hodnota stejnosměrné složky bude rovna půlce nastavené hodnoty amplitudy sinusového průběhu. Na osciloskopu nastavíme oba měřicí kanály na režim DC. Dále vhodně zvolíme vstupní zesílení jednotlivých měřicích kanálů, nejlépe oba kanály na stejnou hodnotu. Popřípadě ještě na osciloskopu signál posuneme pomocí vertikálního posuvu. Při pomalých signálech, kde jsme schopni sledovat změnu signálu pouhým okem, vidíme na LED diodách a displeji právě aktuální digitální hodnotu převedeného analogového signálu.

Další funkcí, kterou realizovaný měřicí přípravek má a která souvisí z funkcí spojení převodníků A/D s D/A je možnost měnit počet platných bitů. Pro tuto funkci je třeba, aby se na dipovém přepínači nastavily dipy číslo 4 a 3 na hodnotu 0, tedy zkratované spodní odpory v děliči. Potenciometr otočit zprava do leva až na jeho doraz. Při měření rekonstrukčního testu je tedy přepínač vedle potenciometru přepnut do polohy nahoru, tedy EXT\_IN. Chceme-li teď změnit počet platných bitů, stiskneme krátce příslušné tlačítko D0 až D7 podle toho který bit chceme vynechat. Aby vynechání bitu mělo nějaký smysl, tak změnu počtu platných bitů budeme provádět vždy tak, abychom stiskli jednou tlačítko D0, po druhé tlačítko D1 a tak dále. Postupným stisknutím po sobě jdoucích tlačítek D0 až D7 redukuje šířku platných bitů až do nuly. Tím docílíme, že převodník bude například jen 4 bitový. Nulová šířka bitů nemá smysl, protože jsme zahodili veškerou informaci o původním signálu. Smysl tedy mají šířky od 1 do 8 bitů.

Při rozšíření počtu platných bitů postupujeme opačně než při redukci, tedy nejprve stiskneme tlačítko D7, poté tlačítko D6 a tak dále. Pro zjištění, která tlačítka jsou aktivována a která ne, přepneme přepínač vedle potenciometru do dolní polohy,

označenou jako INT\_POT na desce plošných spojů a na LED diodách vidíme aktuální stav neplatných bitů. Svítící diody ukazují příslušné neplatné bity. Obdobným způsobem stisknutí tlačítek můžeme nastavit neplatné bity, jak už bylo popsáno výše. Tím, že jsme přepnuli přepínač vedle potenciometru do spodní polohy, označenou jako INT\_POT na desce plošných spojů, externí signál byl přerušen a signál na 2. kanálu osciloskopu zmizel. Po přepnutí přepínače zpět se signál opět na osciloskopu zobrazí.

### 3.4. Funkce porovnání A/D převodníků

Po připojení rozšiřitelného modulu (deska 2), je umožněna na univerzálním měřicím přípravku funkce s možností přepínání jednotlivých typů A/D převodníků za srovnatelných podmínek měření. Připojení rozšiřujícího modulu je jednoduché a je popsáno v druhém odstavci v kapitole 4. Dále je zapotřebí na základní desce (deska1) přepnout posuvný přepínač umístěný vedle potenciometru do polohy popsané na desce plošných spojů jako EXT\_IN. Celé zapojení přípravku je stejné jako pro funkci uvedenou v kapitole 3.3. Zvolení A/D převodníku se uskuteční pomocí krátkého stisknutí funkčního tlačítka F2. Ve výchozím stavu je zvolen A/D převodník ze sigma delta modulací a dalším krátkým stisknutím funkčního tlačítka F2 zvolíme jiný typ A/D převodníku. Jsou-li všechny možnosti vyčerpány dalším krátkým stisknutím funkčního tlačítka F2 se vrátíme do výchozí polohy, bude opět zvolen A/D převodník se sigma delta modulací. Jednotlivé stavy jsou indikovány pomocí příslušné LED diody popsané názvem na desce plošných spojů. Svítí-li příslušná LED dioda, je vybrán právě odpovídající A/D převodník. Jednotlivé popisky u LED a jejich vysvětlení je následující dle vzoru v závorce (popisek = vysvětlení): PAR. = paralelní A/D převodník,  $\Sigma\text{-}\Delta$  = A/D převodník se sigma delta modulací, APR. = aproximační A/D převodník. Lze opět jako v kapitole 3.3 měnit jednotlivé bity a tím simulovat příslušnou ztrátu informace ve zvoleném bitu. Změnu bitů provedeme stejným způsobem jako byl popsán v kapitole 3.3.

Zvolením příslušného A/D převodníku při daných podmínkách měření, jako jsou například velikosti napětí, frekvence vstupního analogového signálu, odolnost proti šumu je možné sledovat jednotlivé rozdíly a chování výstupního signálu právě v závislosti na volbě daného A/D převodníku. Lze však přistupovat k měření obráceným způsobem a to tak, že se zvolí jednotlivý A/D převodník a pomocí generátoru funkcí lze měnit vstupní



analogové parametry a sledovat výstupní signál v závislosti na vstupní změně. Hlavními rozdíly jsou konečná rozlišitelnost a různá rychlost převodu.

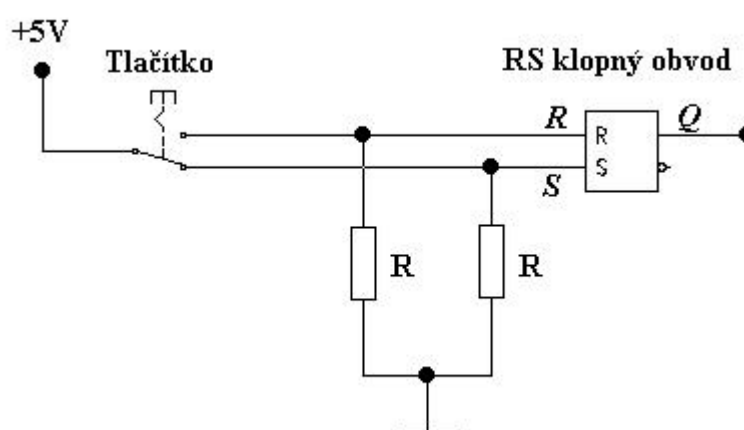
## 4. Realizace hardware

Měřicí přípravek je proveden na volně přístupné desce plošných spojů. Záměrně deska plošných spojů není umístěna do krabičky z důvodů praktické ukázky osazení desky plošných spojů klasickou a smd montáží. Bylo použito minimum součástek právě díky použitím dvou hradlových polí Lattice ISP1016E.

Dále je možno přípravek rozšířit pomocí desky 2, která umožní další funkce měření a porovnání jednotlivých vybraných A/D převodníků. Rozšíření se provede vyjmutím integrovaných obvodů označené jako U1 a U2 na desce 1 a následným zasunutím desky 2. Rozložení propojovacích konektorů je jednoznačné a není tedy třeba se obávat případného zničení nebo nefunkčnosti přípravku.

### 4.1. Ošetření tlačítek proti zákmitům

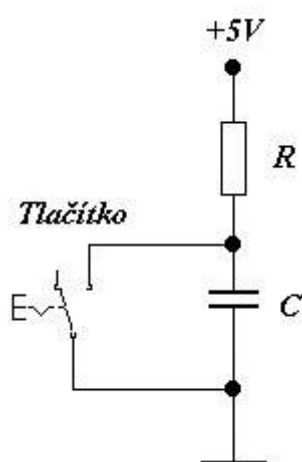
Při stisknutí tlačítka dochází zpravidla k mechanickým zákmitům a tedy ke generování parazitního signálu. Tento jev lze v případě přepínacího tlačítka odstranit použitím klopného obvodu RS, který zapojíme dle schématu uvedeného na *obrázku 4.1*.



obr. 4.1 - Ošetření přepínacího tlačítka pomocí RS klopného obvodu

Odpory  $R$  na *obrázku 4.1* zajistí, že vstupy, do kterých nebude tlačítko přepnuto, budou v logické úrovni 0. V době kdy se tlačítko přepíná, klopný obvod typu RS si pamatuje předchozí hodnotu až do té doby, než se nastaví logická úroveň 1 na vstupu S, tím je i výstup Q v logické úrovni 1. Pustíme-li tlačítko, klopný obvod RS si pamatuje logickou úroveň 1 až do doby, kdy se na vstupu R objeví logická úroveň 1, tím se výstup Q uvede do logické úrovně 0. Pokud tedy tlačítko zakmitá, logická úroveň na výstupu bude odpovídat nastavení přepínacího tlačítka.

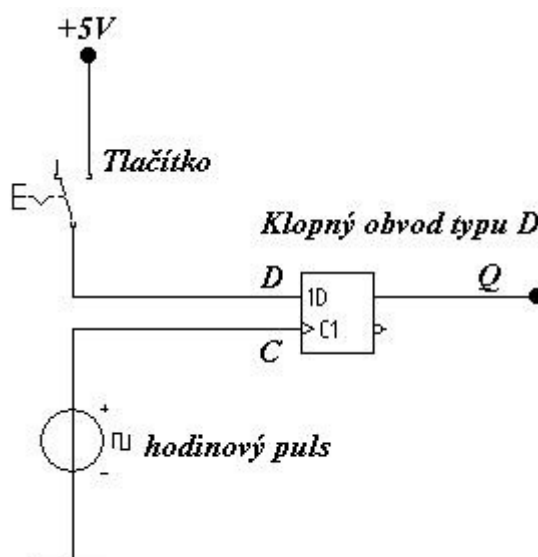
V konstrukci přípravku jsem však použil spínací tlačítko a zákmity jsem ošetřil RC členem zapojeného podle *obrázku 4.2*, který tvoří filtr typu dolní propust.



**obr. 4.2 - ošetřené tlačítko pomocí RC integračního článku**

Princip vychází z předpokladu, že frekvence spínání tlačítka je mnohonásobně menší než jsou samotné kmitočty tlačítka. Vhodným zvolením mezní frekvence RC článku lze docílit potlačení vyšších frekvencí (zákmitů tlačítka). V některých případech samotný RC člen nestačí a je zapotřebí použít další metody ošetření tlačítka například použitím klopného obvodu typu D zapojeného podle schématu na *obrázku 4.3*.

Bude-li na vstupu C logická úroveň 1, hodnota vstupu D se přenese na výstup Q. Bude-li však na vstupu logická úroveň 0, klopný obvod typu D si pamatuje předchozí stav, než nastala tato událost, a proto stačí jen krátký puls z tlačítka. Zajistíme-li, aby puls na vstupu C klopného obvodu typu D byl krátký a aby se opakoval až po uplynutí několikanásobně delší doby než je šířka samotného pulsu, zaznamenejme pouze jeden vzorek z výstupu tlačítka a tím zákmitávání tlačítka odstraníme.



**obr. 4.3 – ošetřené tlačítko pomocí klopného obvodu typu D**

V měřicím přípravku byla použita kombinace dvou metod ošetření tlačítek, a to pomocí integračního článku a použití klopného obvodu typu D realizovaného v hradlovém poli. Dále byl signál z výstupu vydělen dvěma pomocí děličky, která tvořila tzv. elektronický přepínač, což znamená, že při stisknutí tlačítka došlo k přepnutí stavu logické úrovně 1 do logické úrovně 0 a naopak.

## 4.2. Zobrazení

Měřicí přípravek má dvě části zobrazení digitální informace. První část zobrazuje digitální informaci v binární podobě. Zobrazení je realizováno pomocí nízkopříkonových svítících LED diod označených v přípravku D0 až D7, přičemž D0 reprezentuje informaci o nejnižším datovém bitu a D7 reprezentuje informaci o nejvyšším datovém bitu. Svítí-li tedy příslušná LED dioda je tento bit právě v logické úrovni 1. Naopak jeli Led dioda zhasnuta tak příslušný bit je v logické úrovni 0. Z konstrukčního hlediska je lepší aby se LED diody zapínaly sepnutím k zemi, dosáhne se většího proudu z integrovaného obvodu. LED diody jsou spojeny přes ochranné odpory na napájecí napětí +5V. Spínání diod je tedy uskutečněno pomocí negace skutečného bitu. Protože se jedná o nízkopříkonové LED diody, je celá osmice napájena přímo z hradlového pole označeného ve schématu jako SW\_DAT. Celá osmice bitů, která rozsvítí LED diody, vstupuje nezměněná do dalšího hradlového pole, které převádí tuto binární informaci na

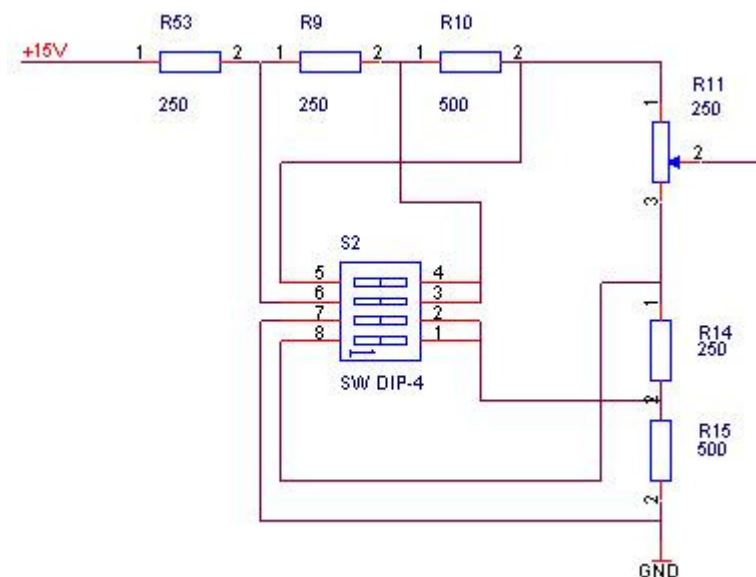
desítkový a hexadecimální kód, který je zobrazen pomocí třímístného sedmisegmentového displeje. Protože na rozdíl od LED diod je proudová spotřeba sedmisegmentového displeje o mnoho větší, jsou jednotlivé segmenty spínány pomocí sběrnicevých budičů, označené ve schématu jako 74HC245. Pro každou číslici sedmisegmentového displeje je použit jeden sběrnicevý budič. Tímto je proud tekoucí do sedmisegmentového displeje rozložen a je tak odlehčeno hradlovému poli, které by jinak bylo výkonově přetíženo. Celý sedmisegmentový displej je se společnou anodou a přes jednotlivé ochranné odpory, které jsou spínány k zemi, jsou rozsvíceny jednotlivé segmenty displeje.

Budič sběrnice 74HC245 umožňuje tzv. třístavovou logiku. Tato logika jak už napovídá název má tři stavy: vysokou impedanci, logickou úroveň 0 a logickou úroveň 1. Já jsem použil jen dva stavy. Vynechal jsem stav vysoké impedance. Dále integrovaný obvod umožňuje řídit směr toku dat, který se řídí pomocí signálu DIR. V mém případě je směr toku dat nastaven pevně na jeden směr a to tak, že vstup je označen A0 až A7 a výstup je označen jako B0 až B7, jak je znázorněno ve schématu viz. *příloha č.1*.

### 4.3. Dělič napětí

Univerzální přípravek pro měření A/D převodníků umožňuje manuální nastavení analogové vstupní veličiny. Pro A/D převodník je vstupní veličinou proměnné elektrické napětí. Změna napětí by měla být od 0V do 10V. Protože měřicí přípravek je napájen několika napětími s pevnou hodnotou, konkrétně +5V, +15V a -15V proti svorce GND, je tedy otázkou jak z napájecího napětí vyrobit proměnné. Jedním řešením je použití napěťového děliče. Ten je v přípravku tvořen čtyřmi odpory a jedním potenciometrem. Paralelně k jednotlivým odporům jsou zapojeny přepínače, jak je patrné na *obrázku 4.5*. Tyto přepínače zkratují jednotlivé odpory a tím se změní dělicí poměr napěťového děliče. Hodnoty odporu v horní a dolní části děliče napětí jsou stejné a tvoří geometrickou řadu. Rozdělíme-li si fiktivně přepínač S2 na dvě části, tak jedna dvojice mění hodnotu odporu v horní části a druhá dvojice mění hodnotu v dolní části děliče napětí. Celý dělič napětí lze zjednodušit na tři součástky: odpor v horní části děliče, potenciometr a odpor v dolní části děliče napětí. Budeme-li vhodně měnit kombinaci přepínače S2 tak docílíme efektu virtuálního posouvání potenciometru do jednotlivých napěťových úrovní. Tímto rozdělením napájecího napětí +15V do jednotlivých intervalů dosáhneme jemného

nastavení vstupního napětí A/D převodníku. Rozsahy jednotlivých napětí v závislosti na nastavené kombinaci přepínače S2 jsou vidět viz. *tabulka 3.1* umístěné v *kapitole 3.1*.

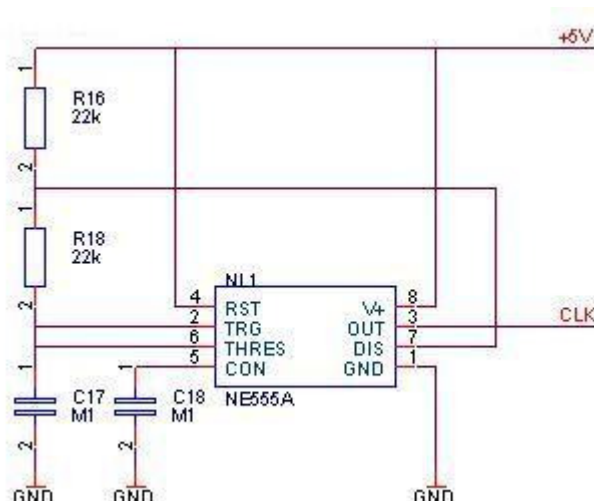


**obrázku 4.5 – odporový dělič napětí**

Výstupní napětí z odporového děliče nezávisí pouze na poměru odporu v děliči napětí, ale taky na velikosti odporu zátěže. V měřicím přípravku je hodnota zátěže dána vstupním odporem A/D převodníku. Dělič napětí byl navržen tak, aby celým odporovým děličem tekla proud 5-ti násobně větší než je odebíraný proud z děliče. Tímto násobkem nebude mít odporová zátěž takový vliv na výstupní napětí z děliče.

#### 4.4. Generátor pulsů pro hradlové pole

Jedním ze základních požadavků pro funkci sekvenčních obvodů je potřeba mít hodinový generátor pulsů. Od něj se totiž vyvíjí veškerá činnost samotného sekvenčního obvodu. Například u mikroprocesoru je tento generátor tvořen krystalovým oscilátorem, podle kterého se pak řídí jednotlivé příkazy. Hradlové pole neobsahuje žádný oscilátor, proto je potřeba navrhnout externí generátor pulsů. Existuje velké množství zapojení, které plní funkci generátoru pulsů. V měřicím přípravku jsem zvolil zapojení s populárním integrovaným obvodem NE555. Zapojení se chová jako astabilní klopný obvod a jeho schéma je vidět z *obrázku 4.6*.



obr. 4.6 – schéma zapojení generátoru pulsu

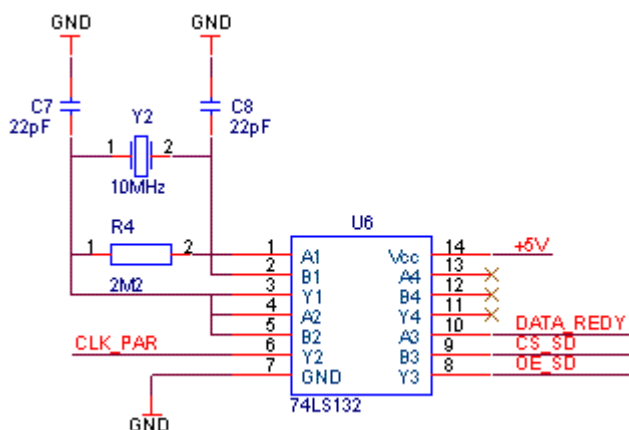
Doba pulsů je určena časovou konstantou, která závisí na velikosti odporů R16, R18 a kondenzátoru C17. Celý děj probíhá tak, že se přes odpory R16, R18 se nabíjí kondenzátor C17 až na hodnotu  $\frac{2}{3}$  napájecího napětí. Jakmile napětí na kondenzátoru dosáhne  $\frac{2}{3}$  napájecího napětí, tak dojde k překlopení klopného obvodu uvnitř integrovaného obvodu NE555 a na výstup 7 se přizemní. Dochází k vybíjení kondenzátoru C17 přes odpor R18 až do té chvíle než napětí na kondenzátoru nedosáhne  $\frac{1}{3}$  napájecího napětí. Jakmile je napětí na kondenzátoru rovno  $\frac{1}{3}$  napájecího napětí opět se klopný obvod uvnitř integrovaného obvodu překlopí. Celý cyklus nabíjení a vybíjení se pořád opakuje a tím jsou na vývodu 3 tvořeny pulsy.

Šířka pulsu je různá, právě důsledkem toho, že kondenzátor C17 se nabíjí přes jinou hodnotu odporu, než je hodnota odporu přes který se vybíjí.

#### 4.5. Vzorkovací generátor pulsů pro paralelní A/D převodník

Protože jsem zvolil paralelní převodník se zabudovaným vzorkovacím obvodem bez vnitřního generátoru, který by automaticky vzorkoval signál, bylo třeba navrhnout externí generátor pulsů tak aby paralelní A/D převodník správně fungoval. Jednou z možností bylo použít stejný typ generátoru, který byl popsán v kapitole 4.4 a sloužil jako zdroj hodinového signálu pro hradlové pole. Zapojení generátoru z kapitoly 4.4 pracuje spolehlivě, ale pouze pro nízké frekvence, což pro funkci realizovanou v hradlovém poli plně postačuje. Pro paralelní A/D převodník bylo třeba zvolit frekvenci generátoru podstatně větší než je největší měřená frekvence na paralelním A/D převodnících. V mém

případě byla největší frekvence měření, generována pomocí generátoru funkcí rovna 1MHz. Navrhl jsem tedy generátor pulsů, tak aby jeho frekvence byla rovna 10MHz. Zapojení generátoru je vidět na *obrázku 4.7*



**obr. 4.7 – schéma zapojení generátoru pulsů s úpravou signálů**

Z obrázku 4.7 je vidět že generátor se skládá z integrovaného obvodu označeného U6 a kladnou zpětnou vazbou tvořenou selektivním členem, který je realizován pomocí krystalu označeného Y2 zapojeného do takzvaného pí článku. Integrovaný obvod označený jako U6 je čtveřice hradel typu NAND, kde dvě hradla tvoří samotný generátor pulsů a další z hradel, tvoří logickou úpravu řídicích signálů označené na schématu jako CS\_SD, OE\_SD a DATA\_REDY. Popis jednotlivých signálů si můžeme přečíst v kapitole 4.8. Aby generátor pulsů oscilloval, je třeba splnit amplitudovou a fázovou podmínku. Amplitudová podmínka je splněna velkým zesílením hradla NAND, které se pohybuje řádově několika stovek a spolehlivě tak vyrovná ztráty v selektivním členu, v tomto případě krystalu označeného Y2. Selektivní člen tvořený takzvaným pí článkem má na svém pracovním kmitočtu, který je dán frekvencí krystalu, fázový posuv  $180^\circ$  a hradlo NAND zapojené jako invertor má fázový posun také  $180^\circ$ , čímž je splněna fázová podmínka. Aby nedocházelo vlivem změny výstupní impedance, při připojení generátoru do nějakého obvodu, k porušení z některých výše uvedených podmínek, je samotný generátor impedančně oddělen ještě jedním hradlem NAND zapojeného jako invertor.

## **4.6. A/D převodník pro základní měření – deska1**

V univerzálním měřicím přípravku pro základní měření, byl zvolen A/D převodník AD1674KN od firmy Analog device. Jedná se o 12-ti bitový aproximační A/D převodník u kterého vhodným zapojením řídících signálů lze docílit funkce, aby A/D převodník převáděl sám pomocí interního generátoru. V měřicím přípravku bylo toto zapojení použito. Z výukových důvodů byl počet bitů snížen z 12 na 8, aby bylo možno lépe demonstrovat kvantizaci analogového signálu. V praxi se však používají mnohem více bitové převodníky, právě z důvodů potlačení parazitních vlastností převodníku. Redukce bitů se provede nezapojením nejnižších bitů a zapojí se jen tolik bitů kolika bitový převodník je požadován. Touto metodou je provedena funkce umožňující měnit počet bitů.

## **4.7. D/A převodník pro základní měření – deska1**

Na desce 1 pro základní měření, byl zvolen D/A převodník AD7545A. Jedná se o D/A převodník s odporovou sítí R-2R a proudovým výstupem. Aby bylo možno na výstupu měřit napětí, je třeba použít převodníku proud/napětí. Nejjednodušším převodníkem proud/napětí je klasický odpor. Problém tohoto převodníku je, že odpor musí být přesný, teplotně nezávislý a hlavně nesmí být k němu zapojena paralelně žádná další impedance! Proto jsem zvolil převodník proud/napětí realizovaný pomocí operačního zesilovače se zápornou zpětnou vazbou. Velkou výhodou je malá výstupní impedance při veliké vstupní impedanci. Je tedy možno připojit téměř libovolný měřicí přístroj. Jistou nevýhodou tohoto zapojení je, že výstupní signál je invertovaný oproti vstupnímu signálu. Pro výsledné zobrazení je tedy nutné změnit polaritu voltmetru nebo v případě zobrazení na osciloskopu zapnout funkci pro invertování signálu. Obvod AD7545A umí pracovat jak v TTL logice, tak logice CMOS. V měřicím přípravku byla zvolena logika TTL, aby byla dodržena kompatibilita s hradlovým polem.

## **4.8. A/D převodníky pro rozšířený modul – deska2**

Univerzální měřicí přípravek jsem rozšířil o další modul (deska2), který umožnil nové funkce měření. Především se jedná o zvýšení počtu A/D převodníků na jedné desce a možnosti prakticky porovnat jednotlivé typy A/D převodníků, konkrétně paralelní A/D



převodník, A/D převodník s postupnou aproximací a A/D převodník se sigma delta modulací. Integrované obvody realizující daný princip analogového převodu, byly zvoleny tak, aby rozdíl mezi jednotlivými integrovanými obvody byl zřetelný a co nejvíce se blížil danému principu digitalizace analogového signálu. Protože jednotlivé integrované obvody pracovaly nejlépe se svou vnitřní napěťovou referencí, která není u všech integrovaných obvodů stejná, byla použita největší hodnota napěťové reference, která odpovídá hodnotě 10V. Tato reference byla připojena na vstupní signál D/A převodníku. Pro správnou funkci bylo tedy nutné u jednotlivých A/D převodníků upravit vstupní signál tak, aby maximální amplituda odpovídala referenci daného A/D převodníku. Po převodu na digitální informaci a zpětného převodu pomocí D/A převodníku s nejvyšší referencí od A/D převodníku, bude analogový signál zesílený na původní hodnotu vstupního signálu.

Integrovaný obvod paralelního A/D převodníku byl zvolen typ AD9288, který je charakteristický vysokou rychlostí převodu a nízkým počtem bitů. Rychlost převodu odpovídající frekvenci zpracovaného vstupního signálu může být u tohoto integrovaného obvodu až 100MHz, ale využit byl pouze do frekvence 1MHz. Počet datových vodičů je 8 bit, což je pro paralelní A/D převodník typické. Vnitřní zapojení převodníku obsahuje na vstupu vzorkovací obvod s externím vývodem pro připojení vzorkovací frekvence, na který byl připojen vzorkovací generátor pulsů popsáný v kapitole 4.5. Integrovaný obvod AD9288 nemá třístavovou logiku, ale lze přepnout do takzvaného úsporného režimu, kdy se na datové sběrnici na všech datových vodičích vytvoří vždy logická úroveň 0. Připojíme-li jednotlivé datové vývody přes odpory vhodné velikosti, tak aby se při přepnutí do takzvaného úsporného režimu paralelního A/D převodníku sběrnice nezatížila, nahradíme tím stav vysoké impedance na sběrnici. Hodnoty odporů se tedy musí volit co největší, ale dbát na případné úbytky napětí na těchto odporech, vznikajícími vyrovnávacími proudy. Integrovaný obvod pracuje s napájením 3,3V, ale datové vodiče jsou zpětně kompatibilní s logickou úrovní TTL. Napájení 3,3V získáme ze stabilizovaného napájení 5V, sériovým zapojením dvou křemíkových usměrňovacích diod a jedné Schottkyho diody na nichž při dobře zvoleném pracovním bodu vznikne úbytek napětí 1,7V.

Integrovaný obvod A/D převodníku s postupnou aproximací byl zvolen typ AD1674KN, který byl již použit pro základní měření. Na rozdíl od základního měření kde počet datových vodičů byl z 12 bit redukován na 8 bit z hlediska praktické ukázky větší diskretizační chyby, v rozšiřujícím modulu byla šířka datových vodičů záměrně

ponechána na plném rozlišení 12 bit, jejichž počet bitů je typický pro A/D převodníky s postupnou aproximací. Integrovaný obvod má zabudovaný vzorkovací obvod, svoji napěťovou referenci a třístavovou logiku. Rychlost převodu je menší než u paralelního A/D převodníku a její hodnota odpovídající frekvenci vstupního signálu je nejvíce 10KHz.

Integrovaný obvod A/D převodníku se sigma delta modulací byl zvolen typ AD7710, který je charakteristický vysokým rozlišením a velmi malou rychlostí převodu odpovídající frekvenci vstupního analogového signálu. Rozlišení výše uvedeného typu integrovaného obvodu je 16 bit a rychlost převodu se pohybuje od 1 Hz až do 10Hz podle zvoleného číslicového filtru. Já jsem zvolil výchozí nastavení po restartu obvodu a tím byla zvolena frekvence 1 Hz. Integrovaný obvod má v sobě zabudován vzorkovací obvod pomocí interního generátoru, který kmitá na frekvenci připojeného externího krystalu označeného ve schématu jako Y1. Hodnota krystalu je 10MHz jejíž hodnota je dána katalogovým listem, který je možno najít v literatuře [1]. Většina A/D převodníků se sigma delta modulací právě díky pomalému se měnícímu vstupnímu analogovému signálu komunikuje po sériovém rozhraní, kde datový tok není tak velký jako by byl u jiných typů A/D převodníků. Protože všechny ostatní A/D převodníky mají paralelní rozhraní, musel s i tento převodník přizpůsobit z sériové komunikace na paralelní. Protokol sériového výstupu z A/D převodníku ze sigma delta modulací je tvořen třemi signály a to synchronizačního (hodinového) signálu, datového signálu a signálu pro potvrzení dat označeného ve schématu jako DATA\_REDY. Převod sériového rozhraní je realizován pomocí dvou 8 bitových posuvných registrů, které jsou na sebe navázány tak, aby tvořily jeden posuvný 16 bitový registr. Byly tedy použity dva integrované obvody typu 74HC299, které pracují v třístavové logice a mohou se spojit, tak aby tvořily funkci 16-ti bitového posuvného registru. Řídícím signálem označeným ve schématu jako OE\_SD se přepínají platná data nebo stav vysoké impedance. Signál je odvozen od signálu platných dat označeném ve schématu jako DATA\_REDY a logicky vynásoben se signálem označeného ve schématu jako CS\_SD viz. *obrázek 4.7 v kapitole 4.5*. Výsledkem je pak signál označený jako OE\_SD, který je buď trvale v logické úrovni 1 a tím jsou posuvné registry ve stavu vysoké impedance, nebo je to negace signálu označeného ve schématu jako DATA\_REDY a pak jsou data z posuvných registrů přeneseny na sběrnici dat. Výše uvedené stavy jsou závislé na tom, zda je A/D převodník vybrán nebo nikoliv. Dále jsou data zachycena v hradlovém poli pomocí klopného obvodu Flip- Flop, kdy příchodem

nových dat se předchozí data vymažou a nahradí se novými daty, které budou zapamatovány do doby opětovného příchodu nových dat.

#### **4.9. D/A převodník pro rozšířený modul – deska2**

Aby bylo možno realizovat měření pomocí takzvaného rekonstrukčního testu, který je podrobněji popsán v kapitole 3.3, je nepostradatelnou součástí rozšiřujícího modulu univerzálního měřicího přípravku D/A převodník. Pro základní měření na A/D převodníku pomocí samostatné desky 1, kde pro svou funkci postačoval 12 bitový D/A převodníkem, který byl schopen zpracovávat signály o frekvenci 100 kHz, tak pro rozšiřující modul musel být původní D/A převodník nahrazen preciznějším rychlejším typem, který má větší rozlišení. Tímto jsem omezil vznikající chyby při převodu digitálního signálu na analogový a výrazněji se uplatní vlastnosti jednotlivých typů A/D převodníků. Jako precizní D/A převodník byl vybrán typ AD5546, který zpracuje signály o frekvenci 2MHz a má dostatečné rozlišení, které v tomto případě odpovídá 16 bitům. Rychlost převodníku odpovídající frekvenci je dána nejrychlejším A/D převodníkem (paralelním) a vysoká rozlišitelnost je zas podmínkou vyplývající z největšího rozlišení A/D převodníku (se sigma delta modulací). Integrovaný obvod AD5546 splňuje obě výše uvedené podmínky a pracuje na stejném principu digitálního převodu na analogový, jako původní D/A převodník a to na principu přepínání jednotlivých vah z odporové sítě R-2R (viz. kapitola 1.4). Výstup D/A převodníku je rovněž jako u předchozího typu v desce 1 tvořený proměnným proudem a jeho převod na napětí je realizován stejným způsobem jako byl popsán v kapitole 4.7.

#### **4.10. Řízení na sběrnici dat a výběr A/D převodníku**

Jednotlivé A/D převodníky jsou připojeny na společnou datovou sběrnici. Aby nedocházelo k ovlivnění dat z jednotlivých A/D převodníků, je potřeba komunikaci na sběrnici řídit. Jedním z řešení je použít třístavovou logiku, kdy jednotlivé signály jsou v logické úrovni 1, logické úrovni 0 nebo se přepnou do třetího stavu, takzvané vysoké impedance. Výběr daného integrovaného obvodu A/D převodníku je realizován pomocí opakovatelného stisknutí funkčního tlačítka označeného F2, jak bylo popsáno v kapitole 3.4. Impulsy z tlačítka F2 jsou přivedeny do integrovaného obvodu označeného ve

schématu U8, takzvaného Johnsonova čítače, jehož cyklus je zkrácen na příslušný počet výstupních vodičů odpovídající počtu A/D převodníků na desce 2. Jeden impuls z tlačítka F2 se projeví posunutím logické úrovně 1 na příslušný výstupní pin, který přepíná daný A/D převodník do aktivního stavu. Pokud je na výstupu příslušného pinu logická úroveň 0 je příslušný A/D převodník přepnut do stavu vysoké impedance. Logická úroveň 1 je jedinečná pro všechny výstupní piny, proto je i výběr daného A/D převodníku jednoznačný. Výběr A/D převodníku je realizován signály označených ve schématu jako CS\_APR pro aproximační A/D převodník, CS\_PAR pro paralelní A/D převodník a CS\_SD pro A/D převodník se sigma delta modulací.

#### 4.11. Desky plošných spojů

Pro návrh obou desek plošných spojů jsem použil návrhový systém *OrCAD*. Tento systém patří mezi špičku v navrhování desek plošných spojů, kreslení elektronických schémat, simulaci elektrických obvodů. Já jsem ve své diplomové práci použil systém pro kreslení schémat a návrhu plošných spojů. Jedná se tedy o dva samostatné programy, které si mezi sebou předávají data pomocí souboru, který se nazývá *NETLIST*. Obsahem tohoto souboru je seznam součástek s typem pouzdra a seznam elektronických propojení mezi součástkami. Nejprve tedy musíme, navrhnu a nakreslit elektronické schéma pomocí programu na kreslení elektronických schémat. Ve schématu musíme pro každou součástku zvolit pouzdro, ve kterém se daná součástka vyrábí. Dalším krokem je vygenerování *NETLISTU*. Nyní máme data připravena pro export do programu na návrh plošných spojů. Spustíme program pro návrh plošných spojů a nahrajeme *NETLIST*. Na pracovní plochu návrhového systému se náhodně rozmístí součástky. Nastavíme potřebné parametry pro desku jako je například: počet vrstev, tloušťku jednotlivých spojů, izolační vzdálenost, rozměry desky atd. Jednotlivé součástky vhodně rozmístíme a spojíme podle pomocných čar, které představují jakési virtuální propojení součástek, které odpovídá elektrickému schématu. Při dokončení návrhu vyexportujeme data pomocí tzv. *GERBR* souboru, který obsahuje veškeré informace pro výrobu desky plošných spojů. Takto vyexportované data pošleme do firmy, která nám desku plošných spojů vyrobí. V mém případě jsem si desku plošných spojů nechal dělat na katedře Technické univerzity v Liberci, která se výrobou plošných spojů zabývá.

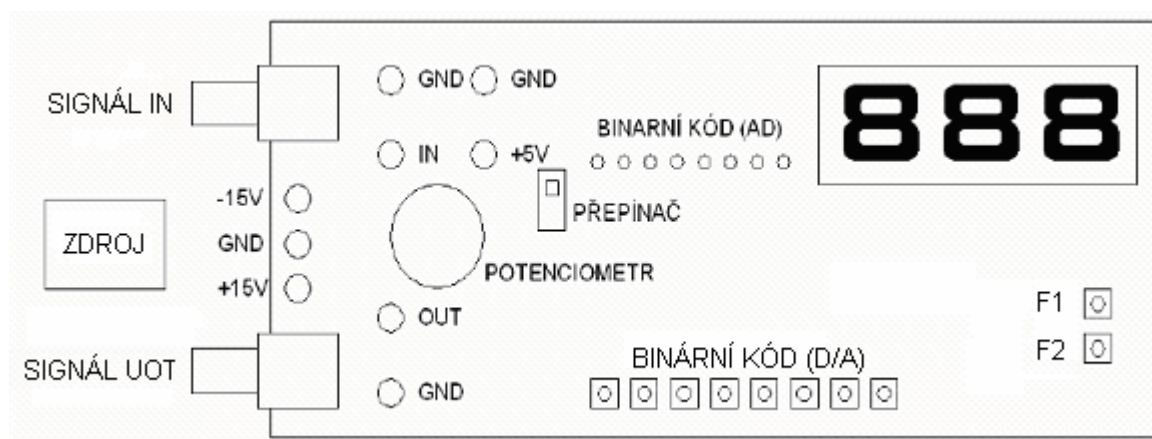
Desky plošných spojů pro měřicí přípravek byly navrženy do dvou vrstev. Jednotlivé motivy desek plošných spojů jsou vidět v *příloze* diplomové práce. Zde se i nacházejí obrázky týkající se rozmístění součástek na deskách plošných spojů. Pro připojení napájecího napětí a výstupů pro voltmetry, byly zvoleny přístrojové zdířky, které byly upraveny tak, aby se daly zapájet přímo do desky plošných spojů.

#### 4.12. Napájení měřicího přípravku

Měřicí přípravek neobsahuje svůj vlastní zdroj napájení. Celý přípravek potřebuje tedy stejnosměrný stabilizovaný externí zdroj, který obsahuje napětí +15V, -15V a +5V. Dále přípravek neobsahuje ochranu proti proudovému přetížení, je tedy vhodné mít zdroj, který obsahuje proudovou pojistku buď elektronickou nebo klasickou tavnou pojistku. V přípravku je zabudována ochrana proti přepólování napájecího napětí, ne však proti přepětí. Polarita jednotlivých napětí je barevně označena a vyznačena popisem na desce plošných spojů. Barevné označení je tedy následující:

- Černá = GND
- Červená = +15V nebo +5V podle popisu na desce plošných spojů.
- Zelená = -15V

Zapojení přípravku ke zdroji provedeme podle *obrázku 4.8*.

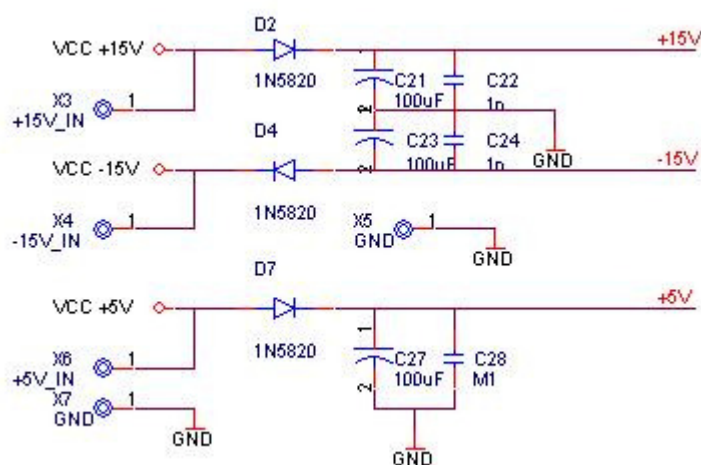


obr. 4.8 - Zapojení napájecího napětí do přípravku

### 4.13. Ochrany přípravku

Každou elektroniku je potřeba ochránit proti špatnému zacházení, ať už jde o úmyslné poškození nebo nechtěné. Měřicí přípravek tedy obsahuje celkem dvě ochrany a to ochranu proti přepólování napájecího napětí a ochranu proti přepětí, která je zapojena pro externí vstup napěťového analogového signálu.

Ochrana proti přepólování napájecího napětí je tvořena sériovým zapojením Schottkyho diod jak je vidět na *obrázku 4.9*.



**obr. 4.9 – Diodová ochrana napájecího napětí**

Tedy jak je vidět z *obrázku 4.9*, tak pokud bude vše správně zapojeno a do zdířek X3, X4, X6 a X7 bude zapojena správná polarita napětí, jsou diody vodivé a vše je v pořádku. Pokud by došlo k přehození polarity napájecího napětí, jsou diody v nevodivém stavu, přesněji řečeno vytvářejí vysoký elektrický odpor řádově stovek megaohmů, který omezí proud ze zdroje natolik, že nedojde k poškození přípravku. Aby nedocházelo k zbytečně velkému úbytku na diodách, jsou zvoleny Schottkyho diody, které mají úbytek napětí asi kolem 0,3V. Za diodami jsou zapojeny dva kondenzátory, jeden elektrolytický s velikou kapacitou a druhý keramický s malou kapacitou. Elektrolytický kondenzátor vyrovná energii při větších rychlých změnách odebraného proudu. Keramický kondenzátor tlumí vysokofrekvenční rušení, které by se mohlo šířit po napájecích vodičích. Vlivem dlouhých cest na desce plošných spojů se může vysokofrekvenční signál naindukovat do vodivé cesty a je dobré umístit tyto keramické kondenzátory těsně k integrovanému obvodu.

Ochrana proti přepětí pro externí napěťový analogový vstup je tvořena pomocí jednoduchého stabilizátoru napětí se Zenerovou diodou. Princip spočívá v porovnání vstupního napětí s referenčním napětím na Zenerově diodě. Pokud bude vstupní napětí menší než je referenční napětí Zenerovy diody, pak Zenerova dioda se chová jako veliký odpor, neteče přes ni skoro žádný proud. Tento proud také neteče ani přes ochranný odpor před Zenerovou diodou. Jakmile však vstupní napětí bude větší než je referenční napětí na Zenerově diodě, začne Zenerovou diodou téci proud, který je úměrný podílu rozdílu napětí mezi vstupem a referencí a ochranného odporu. V měřicím přípravku je tedy maximální možné vstupní napětí dvakrát větší než je reference, což při referenci 11V hodnota 22V na vstupu. Tato ochrana je do přípravku zařazena proto, aby vstupní analogový signál na A/D převodníku nepřevyšoval referenční napětí převodníku, tedy 10V.

## 5. Princip programování hradlových polí

Pro obě hradlové pole byly programy napsány ve vývojovém prostředí ispLever od firmy Lattice. Toto vývojové prostředí je dostupné na domovských stránkách firmy Lattice. Po stažení instalačního souboru je třeba ke správné funkci získat licenci, kterou obdržíme po zaregistrování na stejných stránkách, jako byl stažen instalační soubor.

Programy pro jednotlivá pole lze vytvořit dvěma metodami, které lze navzájem kombinovat. Jinými slovy můžeme část problému vyřešit pomocí elektronického schématu a část pomocí programovacího jazyka ABEL-HDL. První metodou je program vytvořit pomocí elektrického schématu, které nakreslíme pomocí editoru schémat ve vývojovém prostředí ispLever. Druhou metodou jak vytvořit program je pomocí programovacího jazyku ABEL-HDL. Daný problém, který chceme vyřešit pomocí hradlového pole, lze zapsat třemi způsoby:

- zápis pomocí logických rovnic
- zápis pomocí pravdivostí tabulky
- zápis pomocí stavového diagramu

Způsoby zápisu lze v rámci programu libovolně kombinovat. Aby programovací jazyk ABEL-HDL identifikoval, o jaký způsob se jedná, jsou jednotlivé způsoby dány pomocí klíčových slov:

- `equations` = zápis pomocí logických rovnic
- `truth_table` = zápis pomocí pravdivostní tabulky
- `state_diagram` = zápis pomocí stavového digramu

Pokud tedy máme daný problém popsán buď pomocí elektronického schématu, nebo programovacím jazykem ABEL-HDL, musíme tyto soubory zkompileovat a vytvořit soubor, který později bude nahrán do hradlového pole. Jedná se o soubor formátu *JEDEC*. Proběhne-li kompilace bez problémů, můžeme přes nahrávací program nahrát do hradlového pole.

## 6. Realizace softwaru pro hradlová pole

Jelikož jsem programoval dvě hradlové pole, pojmenoval jsem si jednotlivé programy jednoduše pomocí čísel. Program pro hradlové pole, které řeší propojení A/D a D/A převodníků jsem nazval: *POLE1.abl*. Druhý program pro druhé hradlové pole, které plní funkci zobrazení, jsem nazval: *POLE2.abl*. Oba programy jsou součástí této práce a jsou umístěny na příloženém CD-ROM, jehož obsah je uveden v *příloze č.16*. Programy do hradlových polí mají svá specifika, zejména je třeba zohlednit paralelní procesing, kdy program nepracuje po instrukcích jako u mikroprocesoru, ale všechny příkazy se zpracovávají paralelně (najednou).

### 6.1. Software pro hradlové pole 1

Tímto programem jsou ošetřena tlačítka, upravuje se počet platných bitů, zobrazuje se aktuální stav digitální veličiny a ručně se nastavuje digitální informace pro D/A převodník.

Počet platných bitů se upravuje pomocí masky a logické funkce AND. Pomocí ošetřených tlačítek, zapojených jako elektronický přepínač se nastaví maska, se kterou se násobí negovaná vstupní data z A/D převodníku a po té se tento výsledek ještě jednou zneguje. Tam, kde bity v masce byly nastaveny na logickou úroveň 0, dochází ke ztrátě



informace z A/D převodníku a jednotlivé bity se nulují. Bity v masce s logickou úrovní 1, neztrácí po vynásobení informací z A/D převodníku a posílají se dál do D/A převodníku. Protože s funkcí změny o 1bit, funguje současně funkce ručního nastavení D/A převodníku vytváří se na výstupu D/A převodníku stejnosměrná složka, která je úměrná hodnotě masky.

Funkce ručního nastavení se algoritmem chová podobně jako funkce pro změnu jednoho bitu. Jak už bylo popsáno v kapitole 3.2, je potřeba pro správnou správnost funkce dodržet pokyny, které jsou uvedeny v kapitole 3.2. Tím, že dodržíme pokyny, budou jednotlivé bity po negaci dat z A/D převodníku všechny v logické úrovni 1. Vynásobíme-li, pomocí logické funkce AND, libovolné číslo číslem, které je tvořeno z logických úrovní 1, tak násobené číslo bude nezměněno.

Elektronický přepínač pro ošetřené tlačítka pomocí klopného obvodu typu D, jak bylo popsáno v kapitole 4.1, zrealizujeme pomocí binární děličky dvěmi. Pro binární dělení lze opět použít klopný obvod typu D.

## 6.2. Software pro hradlové pole 2

Tímto programem je řešeno zobrazení pro třímístný sedmissegmentový displej. Na displeji zobrazena digitální veličina s A/D převodníku nebo digitální veličina pro převodník D/A. Jednotlivé digitální veličiny jsou zobrazeny pomocí desítkového kódu pro hodnoty menší než je hodnota 127 a pro ostatní hodnoty jsou zobrazeny v hexadecimálním kódu.

Převod z osmibitových dat na desítkové číslo je realizován pomocí rozdělení vstupního čísla na jednotlivé intervaly. Tyto intervaly odpovídají jednotlivým řádům desítkové soustavy. Algoritmus je tedy takový, že vstupní číslo se porovná s jednotlivými intervaly. Bude-li vstupní číslo patřit do příslušného intervalu, příslušný řád se od vstupního čísla odečte a nastaví se pomocná proměnná právě na hodnotu příslušného řádu. Výsledek po odečtení se uloží do další pomocné proměnné a znovu se porovná s intervaly, které jsou o řád nižší, než byl odečtený řád na začátku. Jinými slovy se jedná o dělení 100 a 10 se zbytkem, podle velikosti vstupního čísla. Tímto algoritmem snížím náročnost výpočtu.

Pomocné proměnné, které se nastavovaly v daném řádu (v programu pole2.abl jsou to konkrétně proměnné číslo1, číslo2, číslo3), je třeba převést na kód

segmentového displeje. Tento převod je pospán třemi pravdivostními tabulkami (pro každý segment displeje jedna).

## 7. Měření A/D převodníků

Pro porovnání jednotlivých A/D převodníků jsou měřitelné a podstatné parametry: rozlišitelnost (přesnost) v bitech a rychlost převodu, která odpovídá frekvenci vstupního signálu.

### 7.1. Shrnutí vlastností použitých A/D převodníků

Každý A/D převodník pracuje na určitém principu zpracování a převedení analogového signálu na digitální. Jedny z hlavních principů jsou uvedeny v kapitole 1. Z obecného hlediska lze A/D převodníky rozdělit do tří základních skupin:

- Kompenzační
- Komparační
- Integrační

Převod u kompenzačních a komparačních A/D převodníků odpovídá okamžité hodnotě měřeného signálu, zatímco u integračních A/D převodníků převod odpovídá střední hodnotě měřeného signálu za určitý časový úsek.

Mezi kompenzační A/D převodníky řadíme převodníky založené na principu: elektronickém generování kompenzačního napětí, postupné aproximace (přibližování) měřeného signálu. Rozlišitelnost (přesnost měření) této skupiny je v intervalu 8 až 16 bit. Rychlost převodu odpovídající vstupní frekvenci analogové signálu je v intervalu 3 až 30 kHz. Z této skupiny byl vybrán zástupce v podobě A/D převodníku s postupnou aproximací signálu s rychlostí převodu maximálně 10kHz a rozlišitelností 12 bit.

Mezi komparační A/D převodníky řadíme převodníky založené na principu komparace neboli porovnání vstupního analogového signálu s pevnou napěťovou referencí. Do této skupiny patří A/D převodníky s principem: mezipřevodu napětí na čas, s přímou komparací signálu (takzvané paralelní A/D převodníky), s postupnou komparací signálu. Rozlišitelnost oproti kompenzačním A/D převodníkům je malá a je v intervalu 6 až 10 bit. Rychlost převodu odpovídající vstupní frekvenci analogové signálu je ze všech tří skupin největší a odpovídá intervalu 1Mhz až 3 GHz. Z této skupiny byl vybrán zástupce

v podobě paralelního A/D převodníku s rychlostí převodu maximálně 100MHz, ale upraven vzorkovacím generátorem (viz. kapitola 4.5) na hodnotu vstupní frekvence 1 MHz a rozlišitelností 8 bit.

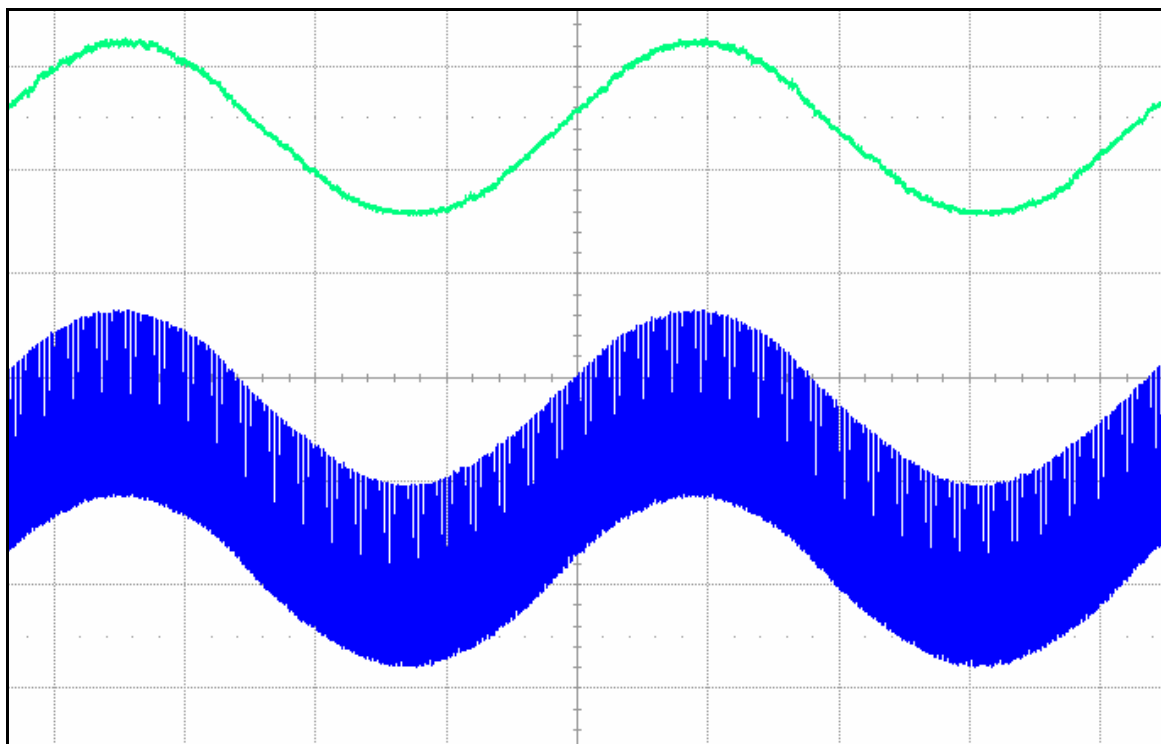
Mezi integrační A/D převodníky řadíme převodníky integrující vstupní signál, který převedou do časové oblasti. Integrací vstupního napětí vytvářejí střední hodnotu signálu, což je obzvláště výhodné v případech signálu, který je zarušen periodicky se měnícím signálem a je superponován na užitečný signál. Do této skupiny patří A/D převodníky pracující na principu: převodu napětí na frekvenci, dvoutaktní integrace, sigma delta modulace. Rozlišitelnost je největší ze všech tří skupin a je intervalu 16 až 24 bit. Rychlost převodu odpovídající vstupní frekvenci analogové signálu je ze všech tří skupin nejmenší a odpovídá intervalu 1 Hz až 1KHz. Z této skupiny byl vybrán zástupce v podobě A/D převodníku se sigma delta modulací s rychlostí převodu 1 Hz a rozlišitelností 16 bit.

Praktické porovnání jednotlivých A/D převodníků je takové, že každý zástupce se liší v rozlišitelnosti (přesnosti) alespoň o 4 bity a rychlost převodu je záměrně volena tak, aby vynikly teoretické poznatky o jednotlivých principech A/D převodníků.

## 7.2. Výsledky měření na A/D převodnících

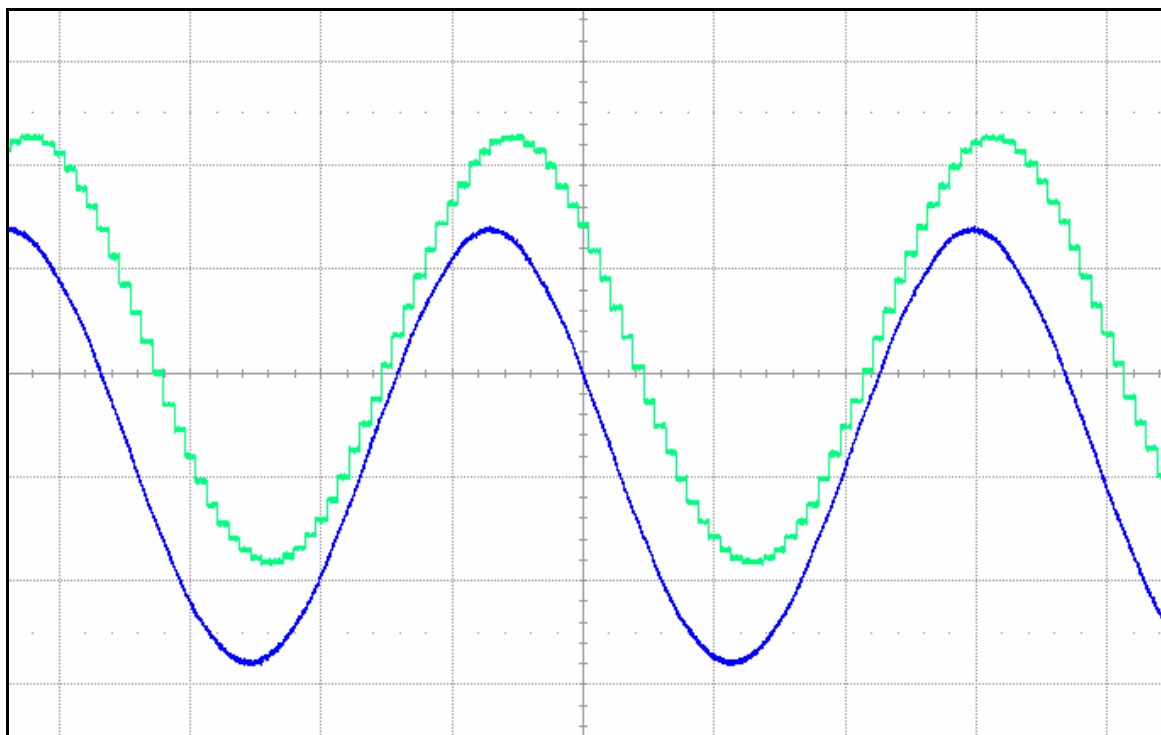
Na univerzálním měřicím přípravku byly změřeny jednotlivé A/D převodníky pomocí měřicí metody zpětné rekonstrukce analogového signálu, která byla podrobně rozebrána v kapitole 3.3 nebo podrobněji v literatuře [3] a [5]. Měřicí přípravek byl zapojen tak, jak bylo popsáno v kapitole 3.3. Uskutečněné měření bylo provedeno na univerzálním přípravku měření se zabudovaným rozšířeným modulem, desky 2, jehož funkce byla popsána v kapitole 3.4.

Použité přístroje byly: generátor funkcí s proměnou frekvencí, šumový generátor, realizovaný měřicí přípravek a dvoukanálový osciloskop. Naměřené průběhy jsou znázorněny na obrázku 7.1 až do obrázku 7.9, kde je v popisku obrázku napsána frekvence vstupního analogového signálu, kterému odpovídá spodní průběh grafu. Horní průběh grafů odpovídá zpětné rekonstrukci analogového signálu. Na svislou osu vynášíme velikost napětí a na vodorovnou osu vynášíme čas. Hodnoty obou veličin jsou dány měřítkem uvedeného pod obrázkem 7.1 až do obrázku 7.9.

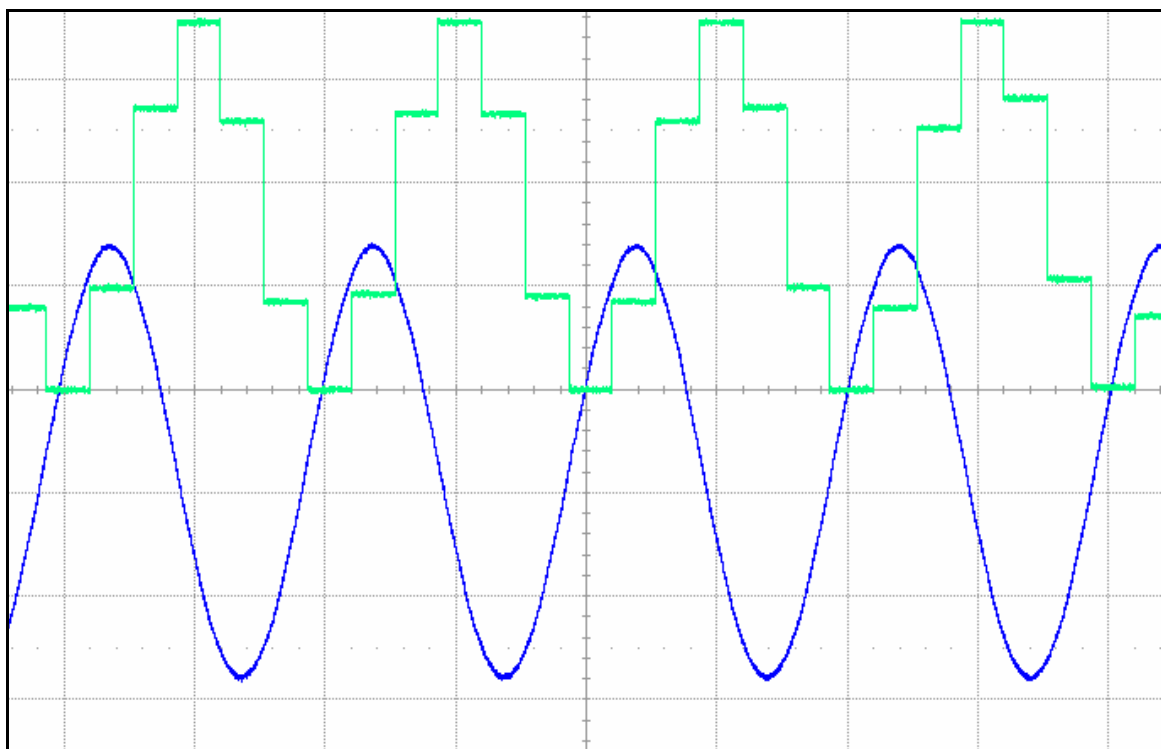


**obr. 7.1 – A/D převodník sigma delta,  $f = 0,25$  Hz se superponovaným harmonickým rušením  $f = 50$  Hz,  
(měřítko: svisle 1V/dílek, vodorovně 1s/dílek)**

Z *obrázku 7.1* je vidět potlačení rušení, které je superponováno na vstupní signál. Výstupní signál není zarušen díky principu A/D převodníku se sigma delta modulací, který byl popsán v *kapitole 1.3*. Jak vidíme na *obrázku 7.1* hladkost výstupního signálu, která je zaručena vysokým rozlišením A/D převodníku se sigma delta modulací. Přesnost převodníku s rostoucím kmitočtem vstupního analogového signálu klesá a dochází k výraznému znehodnocení vstupního signálu. S nárůstem frekvence roste i velikost fázového posuvu mezi vstupním a výstupním signálem viz. *obrázek 7.2* a *obrázek 7.3*.



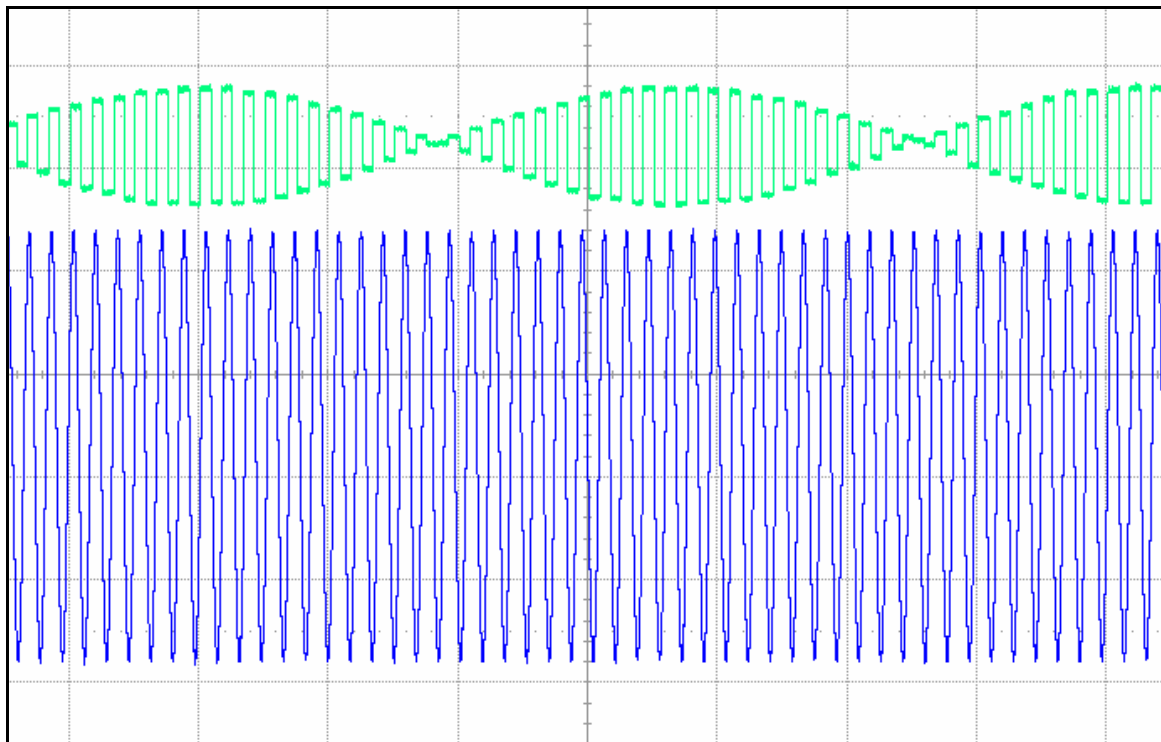
**obr. 7.2 – A/D převodník sigma delta,  $f = 5,5$  Hz,  
(měřítko: svisle 1V/dílek, vodorovně 50ms/dílek)**



**obr. 7.3 – A/D převodník sigma delta,  $f = 10$  Hz,  
(měřítko: svisle 1V/dílek, vodorovně 50ms/dílek)**

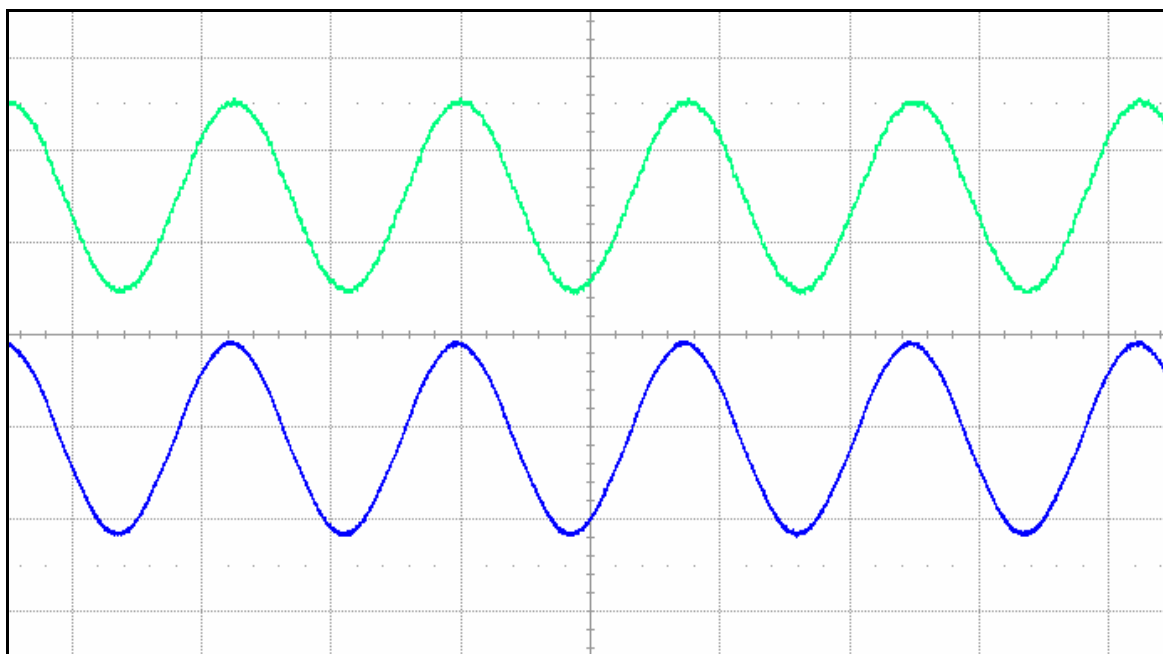
Z obrázku 7.1, obrázku 7.2, obrázku 7.3 vyplynuly hlavní vlastnosti A/D převodníku se sigma delta modulací, které jsou: malá rychlost převodu, vysoká šumová imunita a vysoká rozlišitelnost.

Pokud budeme dále zvyšovat frekvenci vstupního signálu, může dojít k takzvanému aliasingu viz. obrázek 7.4.

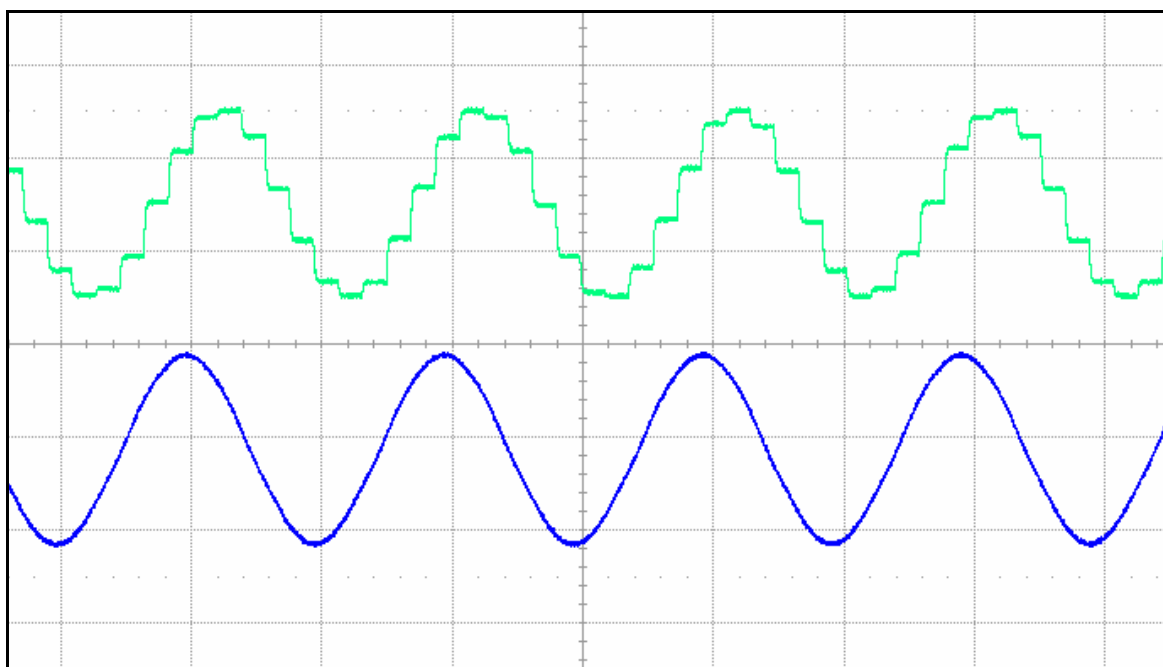


**obr. 7.4 – A/D převodník sigma delta,  $f = 33\text{Hz}$   
(měřítko: svisle 1V/dílek, vodorovně 200ms/dílek)**

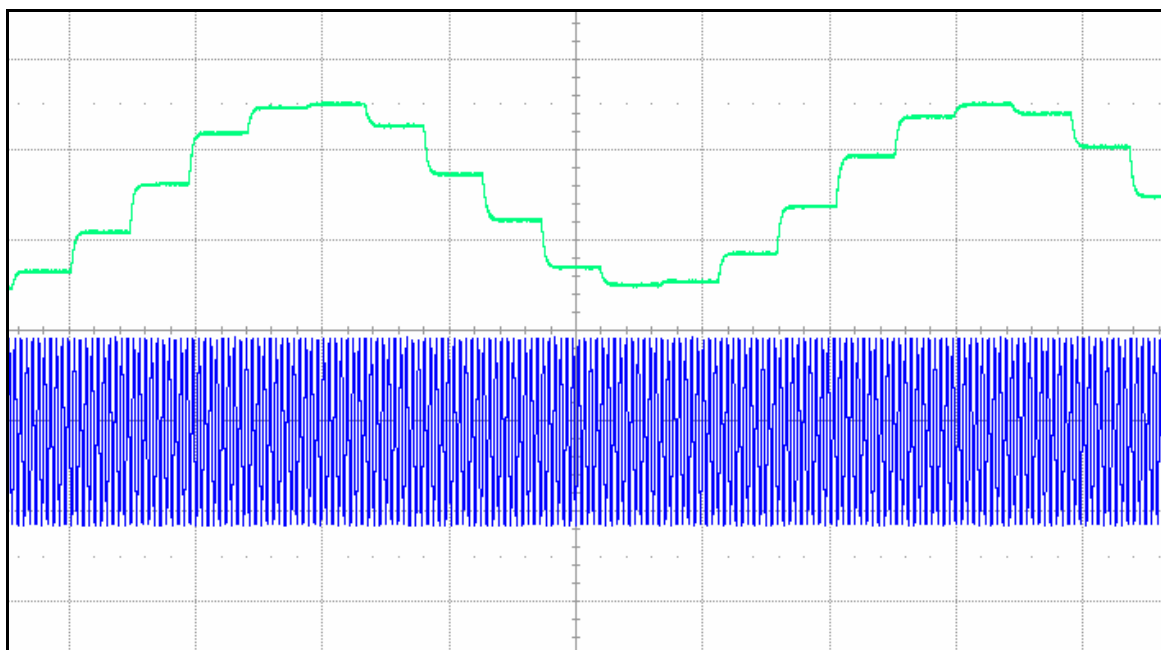
Měření A/D převodníku s postupnou aproximací, probíhalo obdobně jako u předchozího typu A/D převodníku se sigma delta modulací. Nejprve byl změřen vstupní signál o takové frekvenci, kdy výstupní signál je téměř totožný se vstupním signálem. Na rozdíl od A/D převodníku se sigma delta modulací je frekvence vstupního signálu pro A/D převodník s postupnou aproximací vyšší, viz. obrázek 7.5. Průběh výstupního rekonstruovaného signálu se mění s rostoucím kmitočtem a to obdobně jako u A/D převodníku se sigma delta modulací, kdy při dané frekvenci se výrazně zhorší rozlišitelnost A/D převodníku s postupnou aproximací, viz obrázek 7.6. Dalším zvyšování frekvence vstupního signálu opět narazíme na aliasing obdobně jako u A/D převodníku se sigma delta modulací, viz. obrázek 7.7.



**obr. 7.5 – A/D převodník s postupnou aproximací,  $f = 1\text{kHz}$ ,  
(měřítko: svisle 2V/dílek, vodorovně 500 $\mu\text{s}$ /dílek)**



**obr. 7.6 – A/D převodník s postupnou aproximací,  $f = 10\text{kHz}$ ,  
(měřítko: svisle 2V/dílek, vodorovně 50 $\mu\text{s}$ /dílek)**

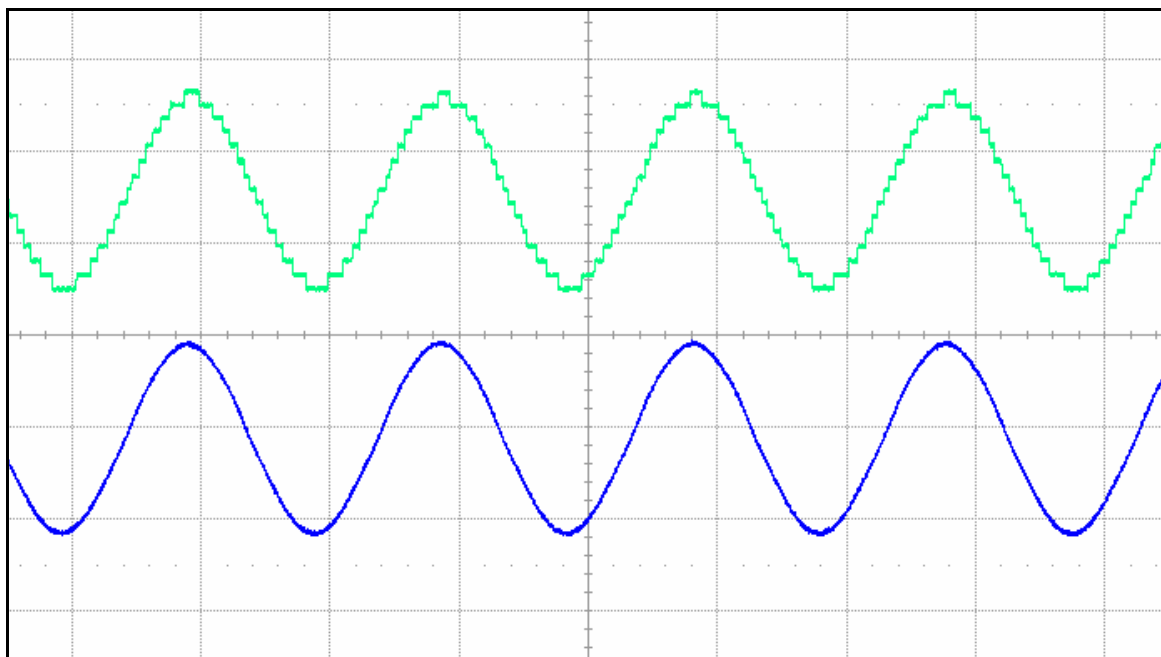


**obr. 7.7 – A/D převodník s postupnou aproximací,  $f = 1\text{MHz}$ ,  
(měřítko: svisle 2V/dílek, vodorovně 20 $\mu\text{s}$ /dílek)**

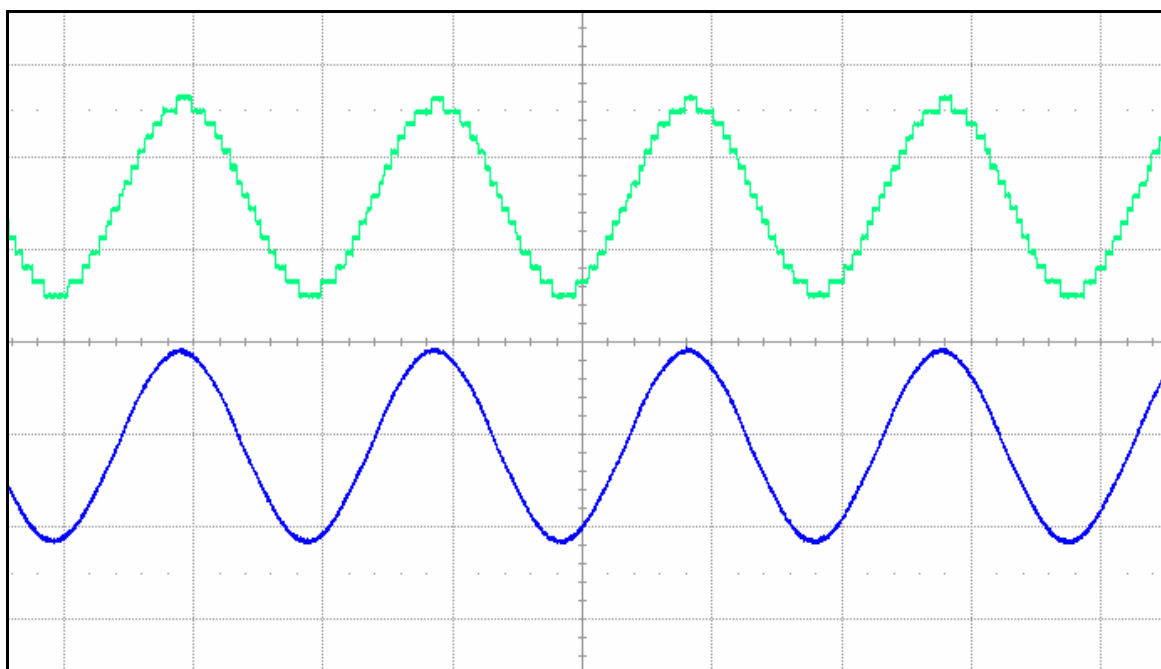
Z obrázku 7.5, obrázku 7.6, obrázku 7.7 vyplynuly hlavní vlastnosti A/D převodníku s postupnou aproximací, které jsou: vysoká rychlost převodu v porovnání s A/D převodníkem se sigma delta modulací, malá rozlišitelnost v porovnání s A/D převodníkem se sigma delta modulací. Porovnáme-li rychlost převodu a rozlišitelnost s dalším změřeným typem A/D převodníku a to paralelním A/D převodníkem je rychlost převodu malá a rozlišitelnost velká pro A/D převodník s postupnou aproximací.

Dále jsem měřil na paralelním A/D převodníku, kde výstupní signál zůstal neměnný při zvýšení frekvence vstupního signálu, viz. obrázek 7.8 a obrázek 7.9. Frekvenci vstupního signálu jsem omezil na hodnotu 1MHz, kdy signál z A/D převodníků se sigma delta modulací a A/D převodníku s postupnou aproximací nestačili sledovat změnu vstupního signálu. Z obrázku 7.8, obrázku 7.9 vyplynuly hlavní vlastnosti paralelního A/D převodníku, které jsou: nevyšší rychlost převodu a malá rozlišitelnost. Výstupní signál je téměř ve fázi se vstupním, ale rozlišitelnost je malá a je v rozsahu měřených frekvencí konstantní.





**obr. 7.8 – Paralelní A/D převodník,  $f = 10\text{kHz}$ ,  
(měřítko: svisle 2V/dílek, vodorovně 50 $\mu\text{s}$ /dílek)**



**obr. 7.9 – Paralelní A/D převodník,  $f = 1\text{MHz}$ ,  
(měřítko: svisle 2V/dílek, vodorovně 500ns/dílek)**

## Závěr

V rámci diplomové práce jsem prostudoval jednotlivé principy převodu analogového signálu na digitální, porovnal jsem je mezi sebou a podrobně rozebral s hlediska měřitelných i neměřitelných parametrů. S ohledem na tyto parametry byl navržen a realizován měřicí přípravek, který bude sloužit při výuce měřicí techniky. Vybral jsem v současné době nejvíce používané typy - integrační, aproximační a paralelní. Všechny použité typy jsou od firmy Analog Devices, která je špičkou v oboru a pracuje na vývoji A/D převodníků již desítky let.

Pro porovnání byla zvolena metoda měření pomocí zpětné rekonstrukce analogového signálu. Tato metoda umožní názorně porovnat vstupní a výstupní signál v závislosti na změně frekvence a počtu bitů AD převodníku. Hlavním úskalím řešení bylo rychlé zpracování dat z jednotlivých A/D převodníků a následný zpětný převod na analogový signál pomocí rychlého D/A převodníku s vysokým rozlišením. Zásadní podmínkou byla minimalizace dopravního zpoždění a fázového posunu mezi vstupním a výstupním signálem. Navíc výstupy z A/D převodníků nejsou standardizované a bylo třeba zajistit sběr dat z integrovaných obvodů s různými komunikačními protokoly a tato data převést do formy umožňující přenos do D/A převodníku.

Rychlost zpracování dat byla docílena použitím hradlového pole, které pracuje na frekvenci 100MHz a na rozdíl od mikroprocesorů zpracovává data paralelně. D/A převodník byl zvolen tak, aby jeho rychlost převodu byla mnohem vyšší než je rychlost u nejrychlejšího A/D převodníku a počet bitů (rozlišitelnost) byl roven nebo vyšší než u A/D převodníku s nejvyšším rozlišením. Vstupní a výstupní signál byl zobrazen pomocí dvoukanálového osciloskopu. Tím jsem splnil zadání diplomové práce v celém rozsahu.

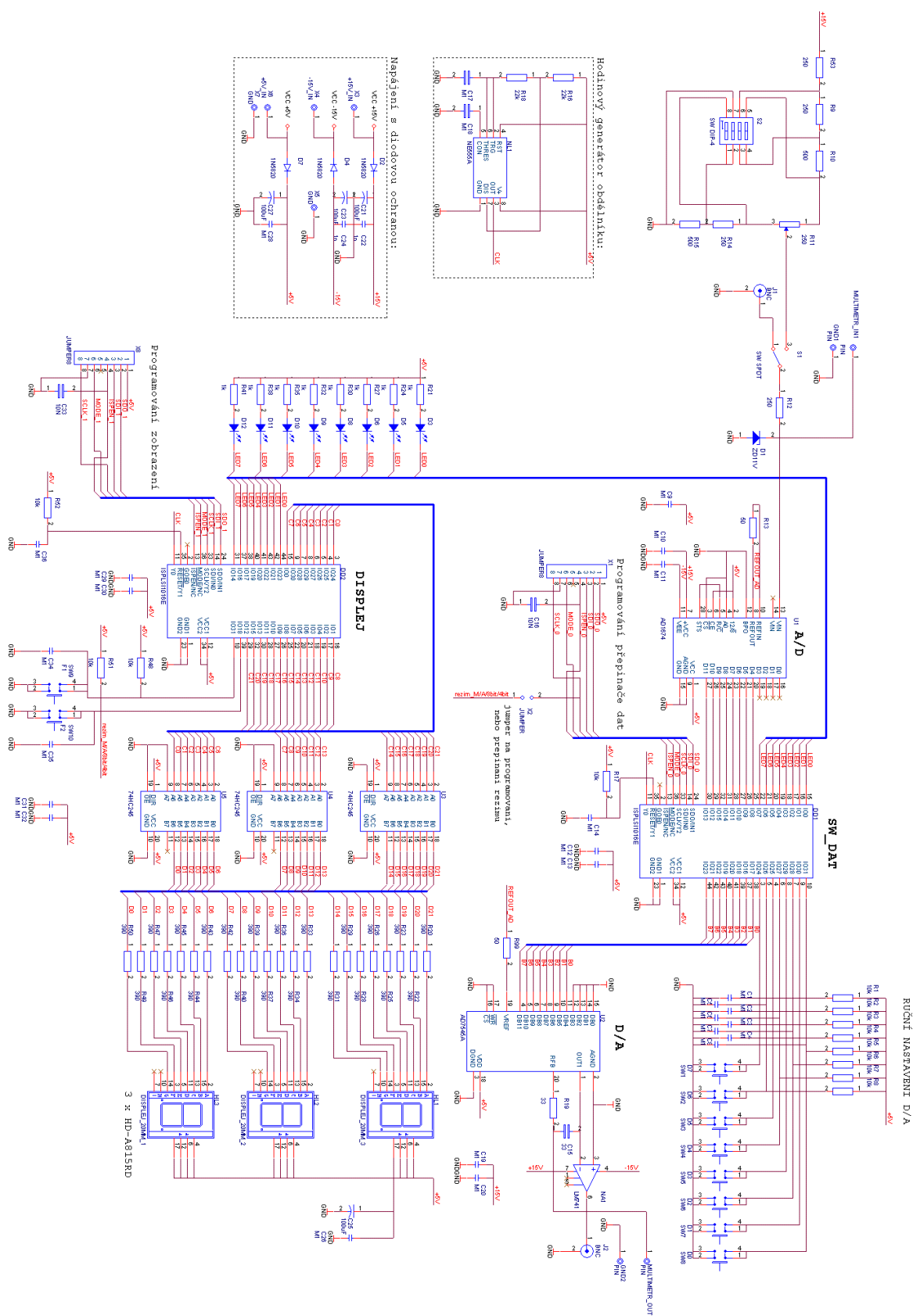
Nad rámec zadání přípravek umožňuje demonstraci vlivu změny rozlišení převodníku na výsledný signál a zobrazení výstupního kódu A/D převodníku jednak řadou LED, jednak pomocí sedmisegmentového displeje.

## **Použitá literatura**

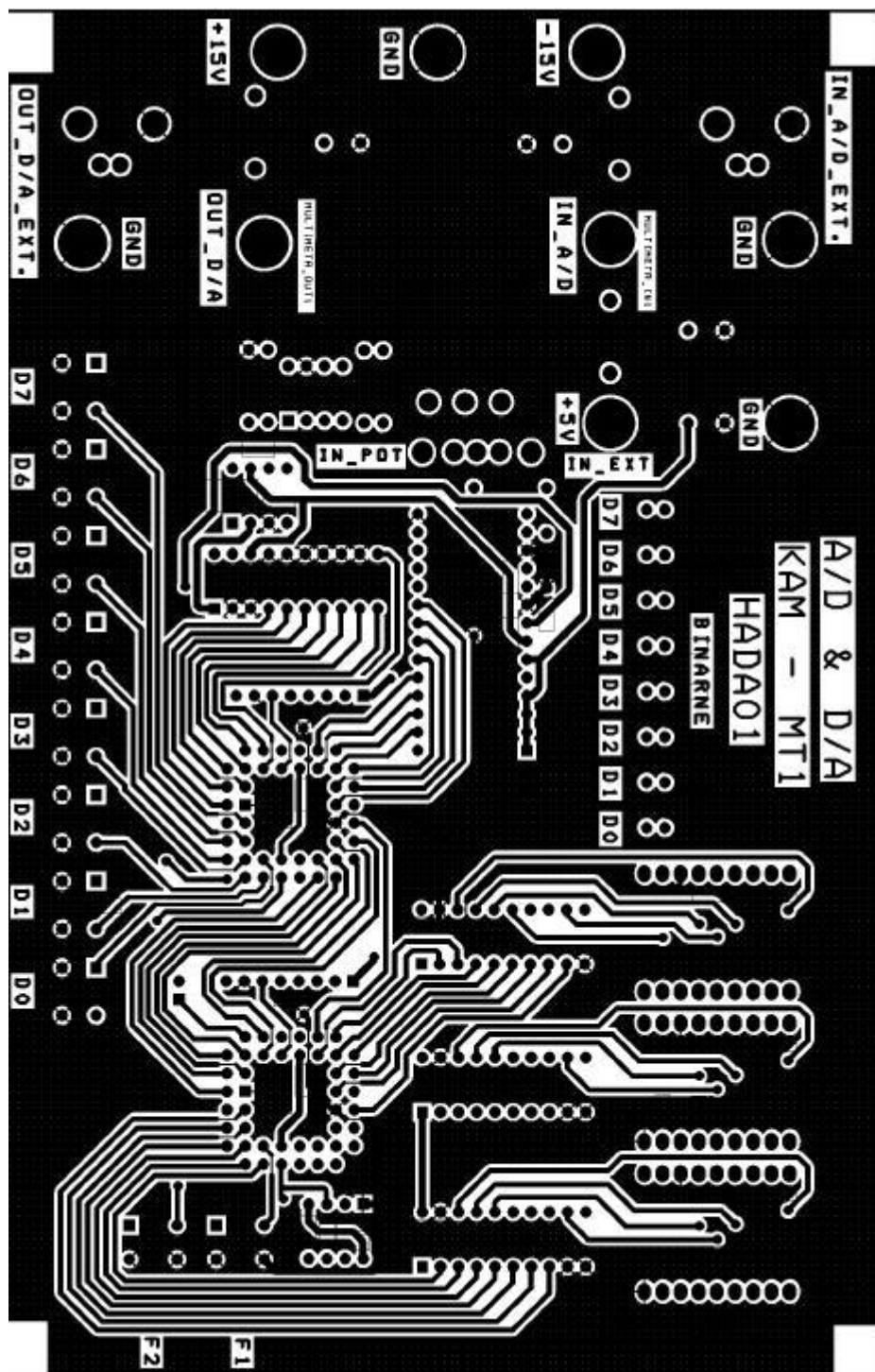
- [1] Katalogové listy součástek: [online] [www.alldatasheet.com](http://www.alldatasheet.com)
- [2] Krejčířík, A., Rozehnal, Z., Vobecký, J., Záhlava, V.: Elektronika – příklady, vydavatelství ČVUT Praha 1993
- [3] Vedral, J., Fisher, J.: Elektrotechnické obvody pro měřicí techniku, vydavatelství ČVUT Praha 2004
- [4] Záhlava, V.: OrCAD pro Windows, praktický průvodce návrháře, vydavatelství Grada Publishing, Praha 1999
- [5] Haasz, V.: Elektrická měření, Přístroje a metody, vydavatelství ČVUT Praha 2003
- [6] Kester, W. + kol.: Practical Analog Design Techniques, Analog Devices, 1995

# PŘÍLOHY

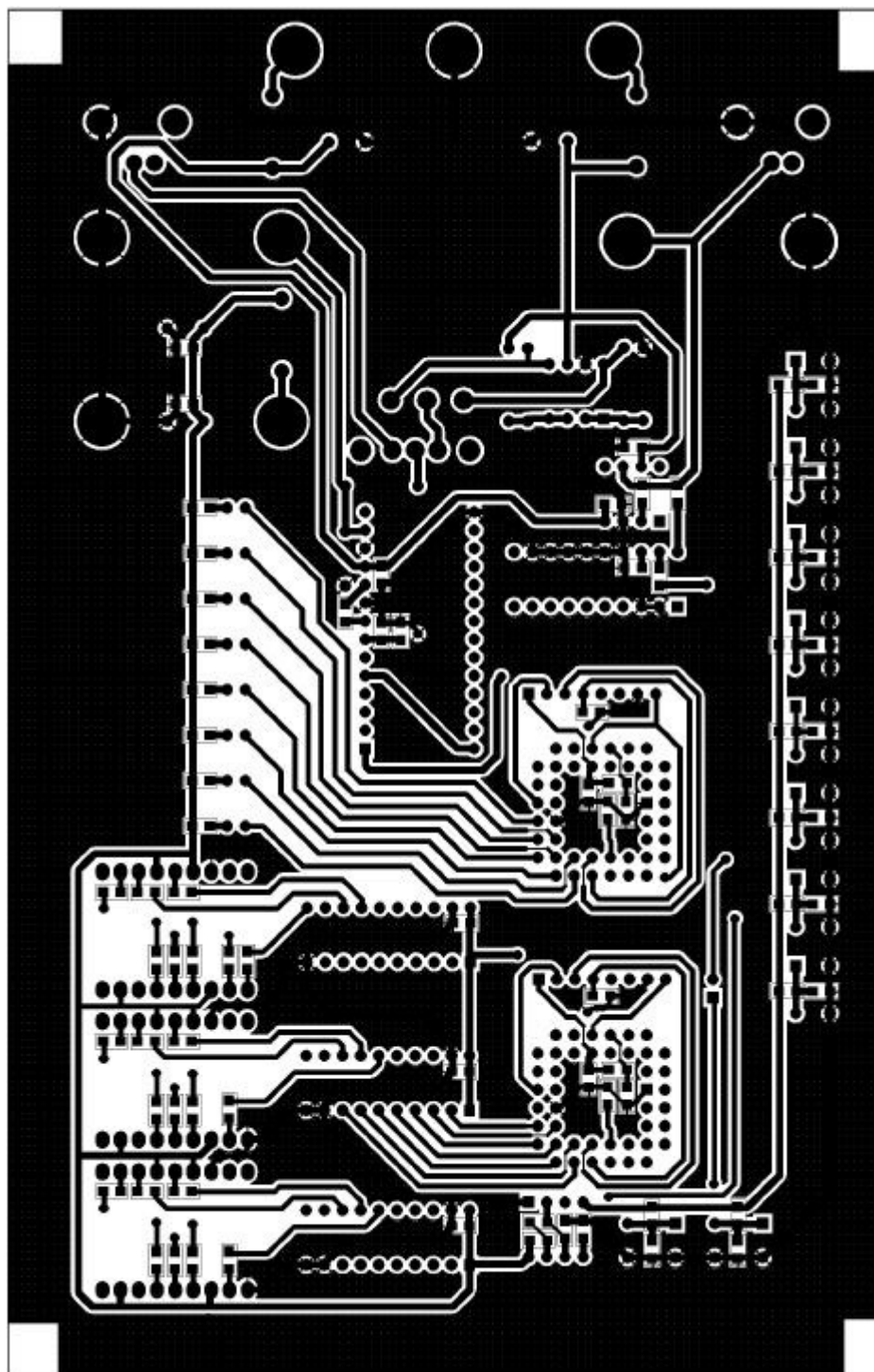
## Příloha č.1: Celkové schéma zapojení - deska 1



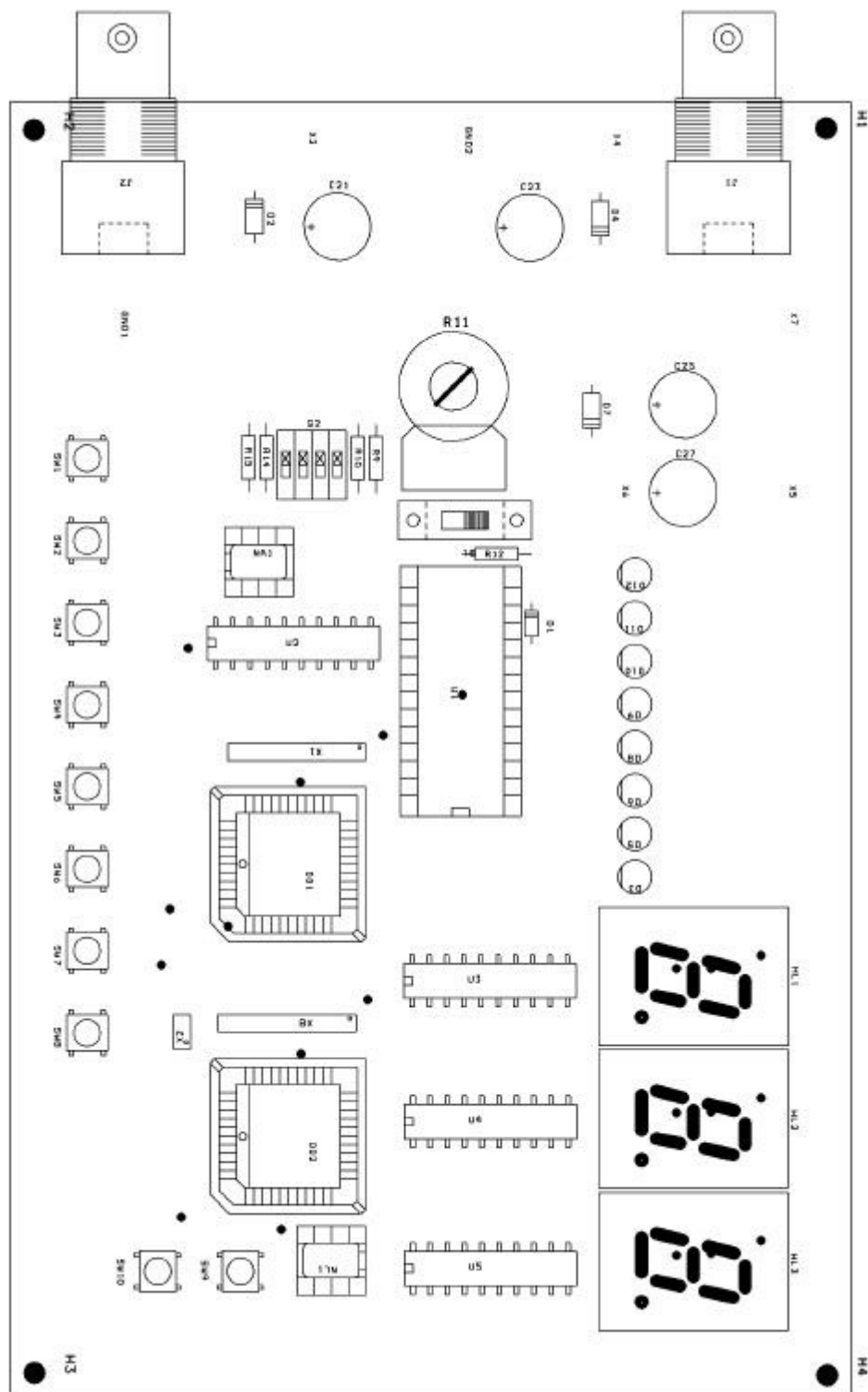
Příloha č.2: Motiv desky plošných spojů – strana TOP – deska 1



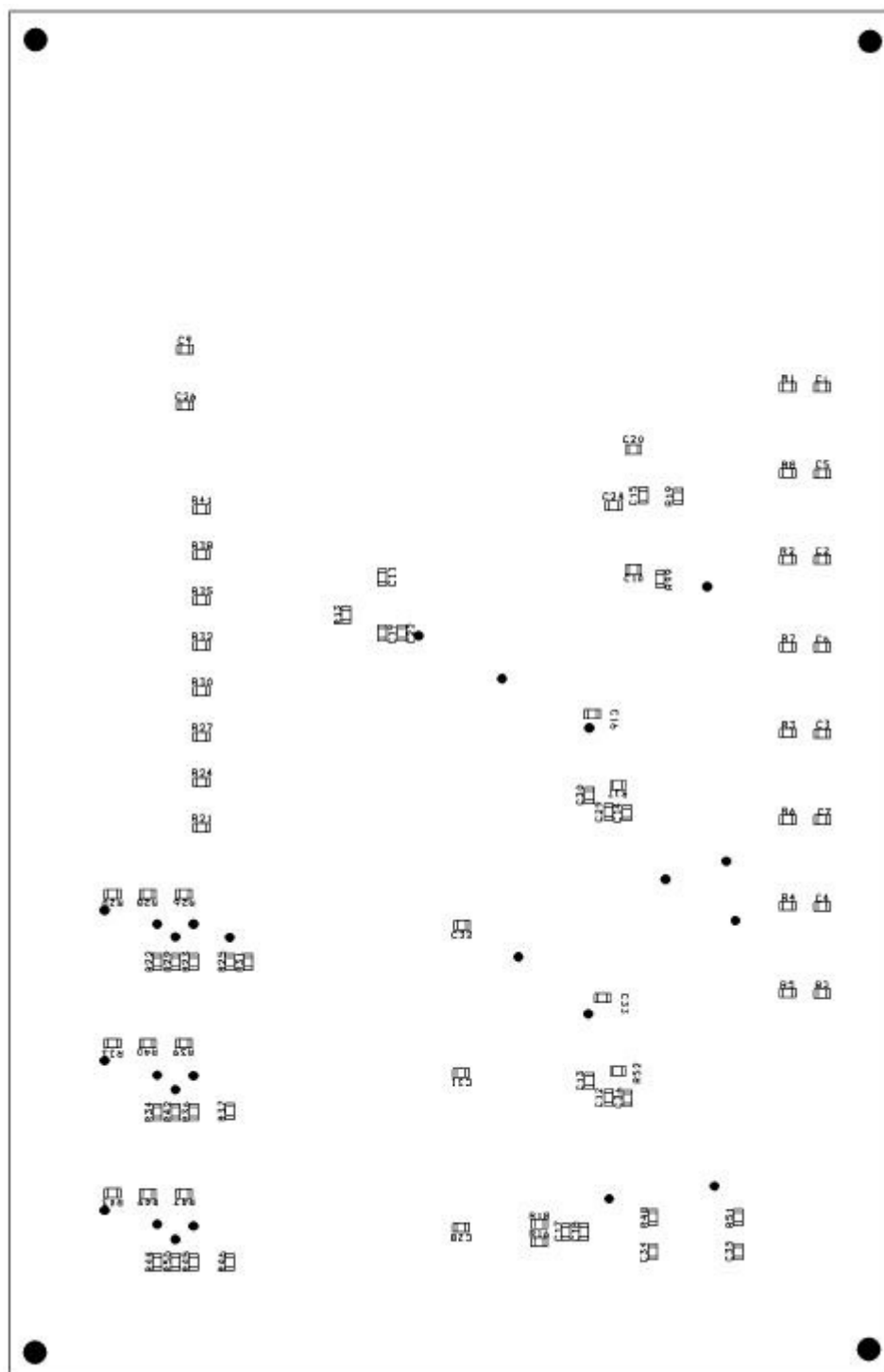
**Příloha č.3: Motiv desky plošných spojů – strana BOT – deska 1**



## Příloha č.4: Rozmístění součástek – strana TOP – deska 1



## Příloha č.5: Rozmístění součástek - strana BOT – deska 1

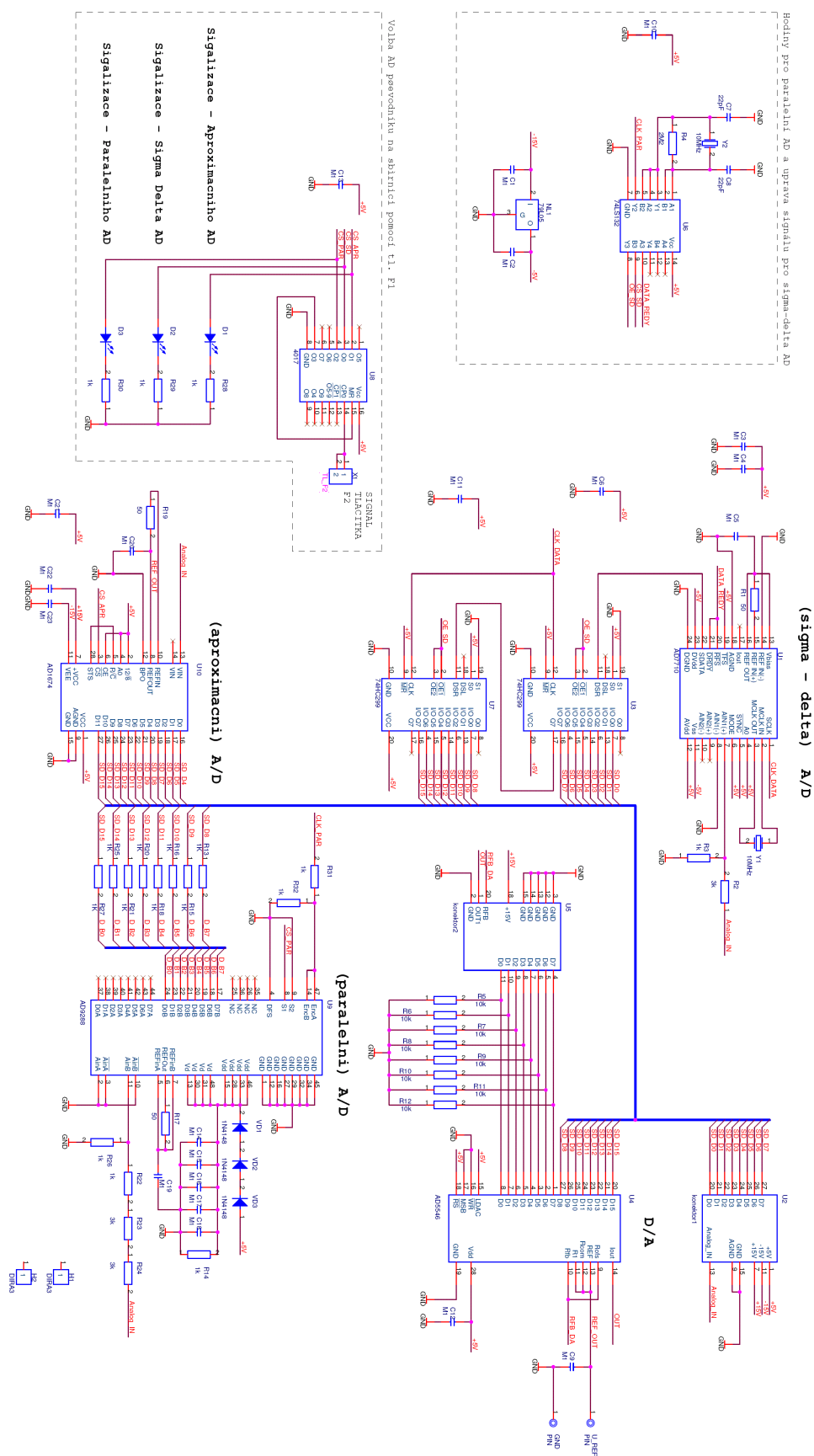




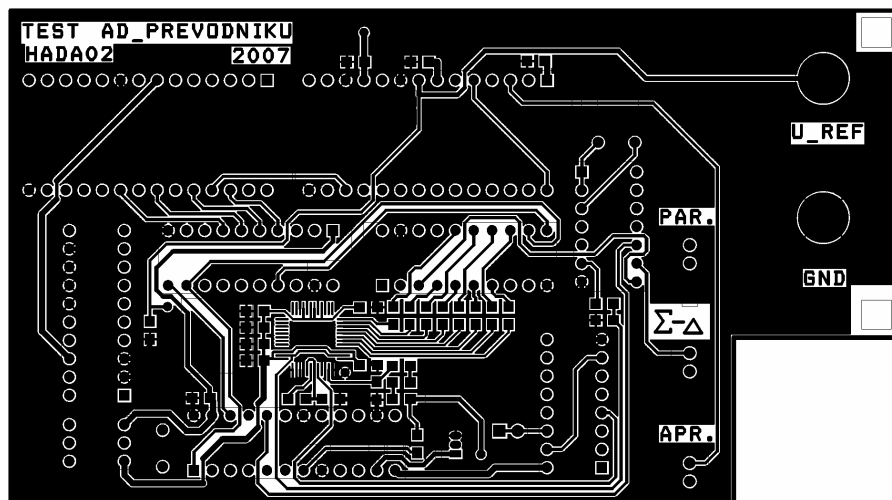
## Příloha č.6: Seznam použitých součástek - deska1

Počet	Označení	Typ	Pouzdro
25	C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, C14, C19, C20, C26, C28, C29, C30, C31, C32, C34, C35, C36	M1	0805
2	C15, R19	33	0805
4	C16, C17, C18, C33	10N	0805
4	C21, C23, C25, C27	100uF	ELYT10
2	C22, C24	1n	0805
2	DD1, DD2	ISPLSI2032	44PLCC_SOC
1	D1	ZD11V	DO35
3	D2, D4, D7	1N5820	DO41
8	D3, D5, D6, D8, D9, D10, D11, D12	LED	LED
1	HL1	HD-A815RD	DISPLEJ_20MM
1	HL2	HD-A815RD	DISPLEJ_20MM
1	HL3	HD-A815RD	DISPLEJ_20MM
2	J1, J2	BNC	BNC
1	NA1	TL081	8DIP300S
1	NL1	NE555A	8DIP300S
12	R1, R2, R3, R4, R5, R6, R7, R8, R17, R48, R51, R52	10k	0805
2	R9, R12, R14, R53	250	RR
2	R10, R15	500	RR
1	R11	250	POTENCIOMETR
2	R13, R99	50	0805
2	R16, R18	22K	0805
22	R20, R22, R23, R25, R26, R28, R29, R31, R33, R34, R36, R37, R39, R40, R42, R43, R44, R45, R46, R47, R49, R50	390	0805
8	R21, R24, R27, R30, R32, R35, R38, R41	1k	0805
10	SW1, SW2, SW3, SW4, SW5, SW6, SW7, SW8, SW9, SW10	TLACITKO	TLACITKO
1	S1	SW SPT	P-B144
1	S2	SW DIP-4	SW4
1	U1	AD1674	28DIP600S
1	U2	AD7545A	20DIP300
3	U3, U4, U5	74HC245	20DIP300
2	X1, X8	JUMPER8	J8-1
1	X2	JUMPER	J2-1

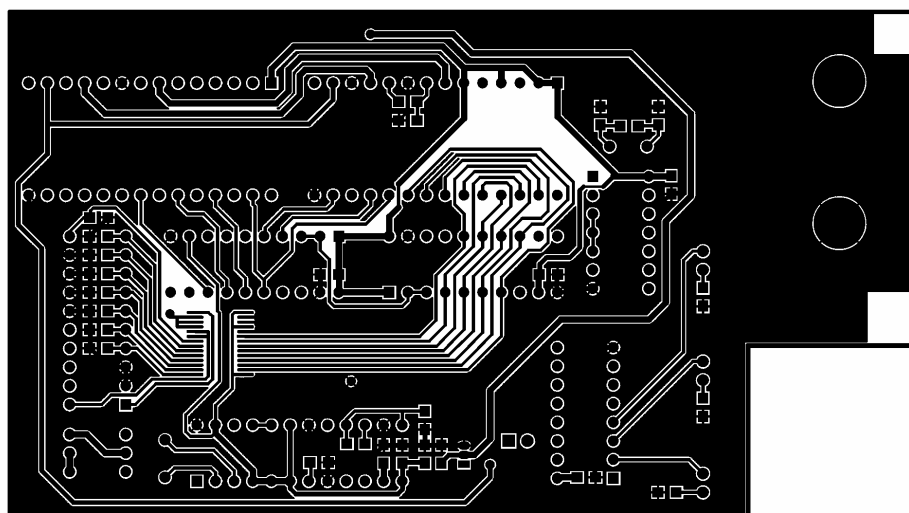
## Příloha č.7: Celkové schéma zapojení – deska 2



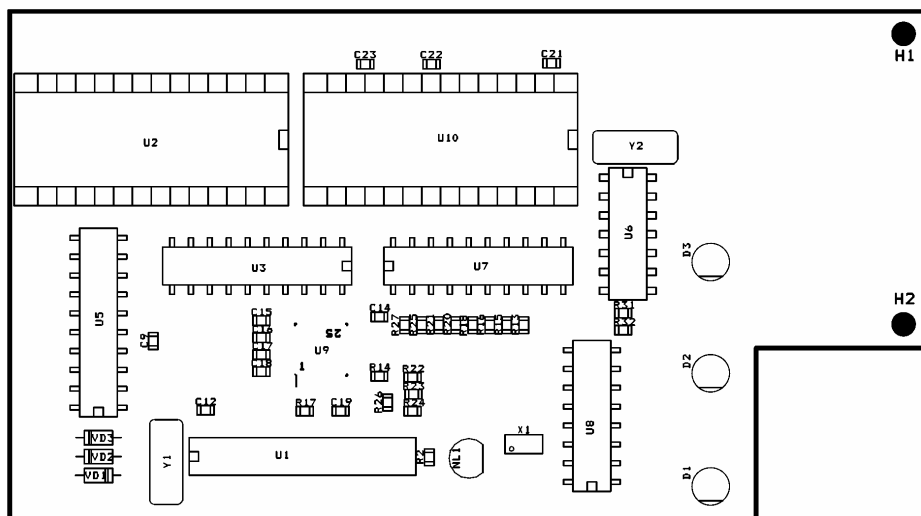
**Příloha č.8: Motiv desky plošných spojů – strana TOP – deska 2**



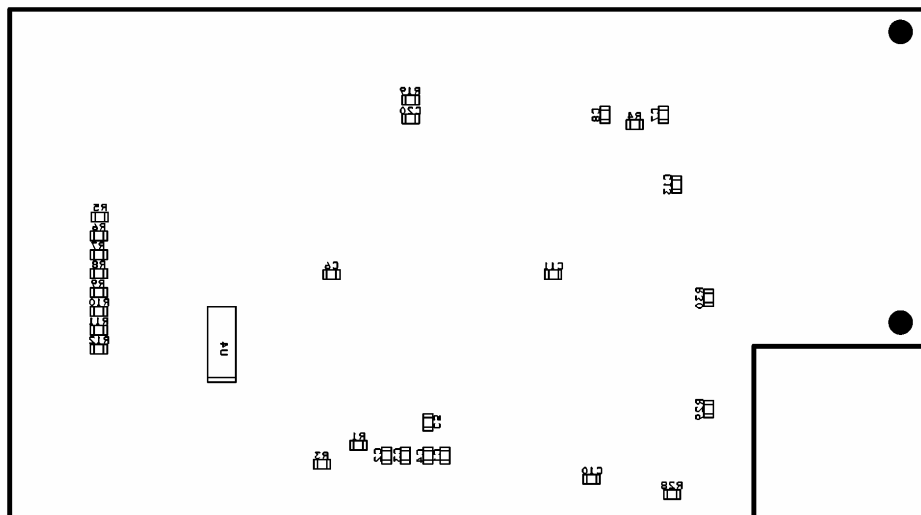
**Příloha č.9: Motiv desky plošných spojů – strana BOT – deska 2**



## Příloha č.10: Rozmístění součástek – strana TOP – deska 2



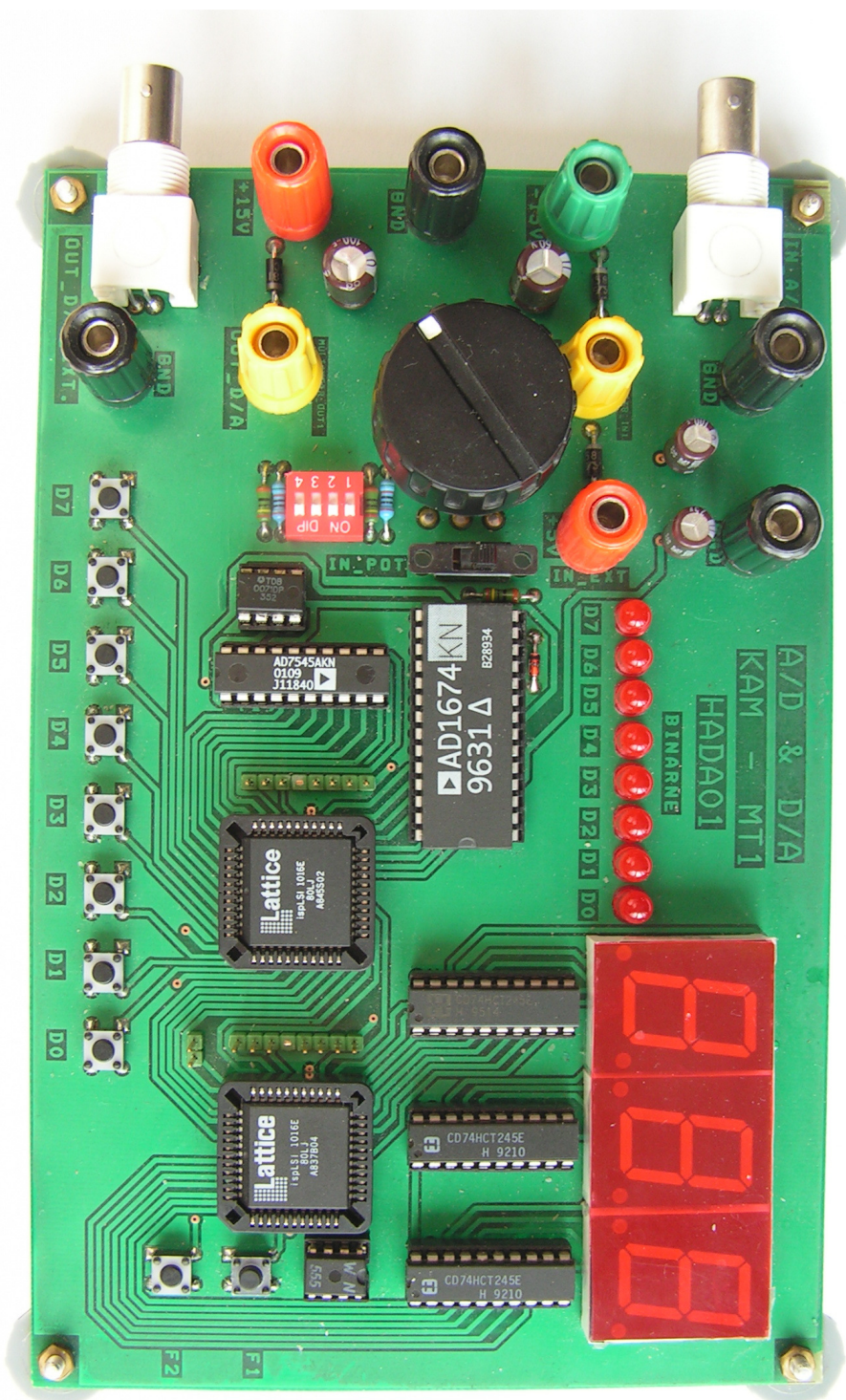
## Příloha č.11: Rozmístění součástek - strana BOT – deska 2



## Příloha č.12: Seznam použitých součástek – deska2

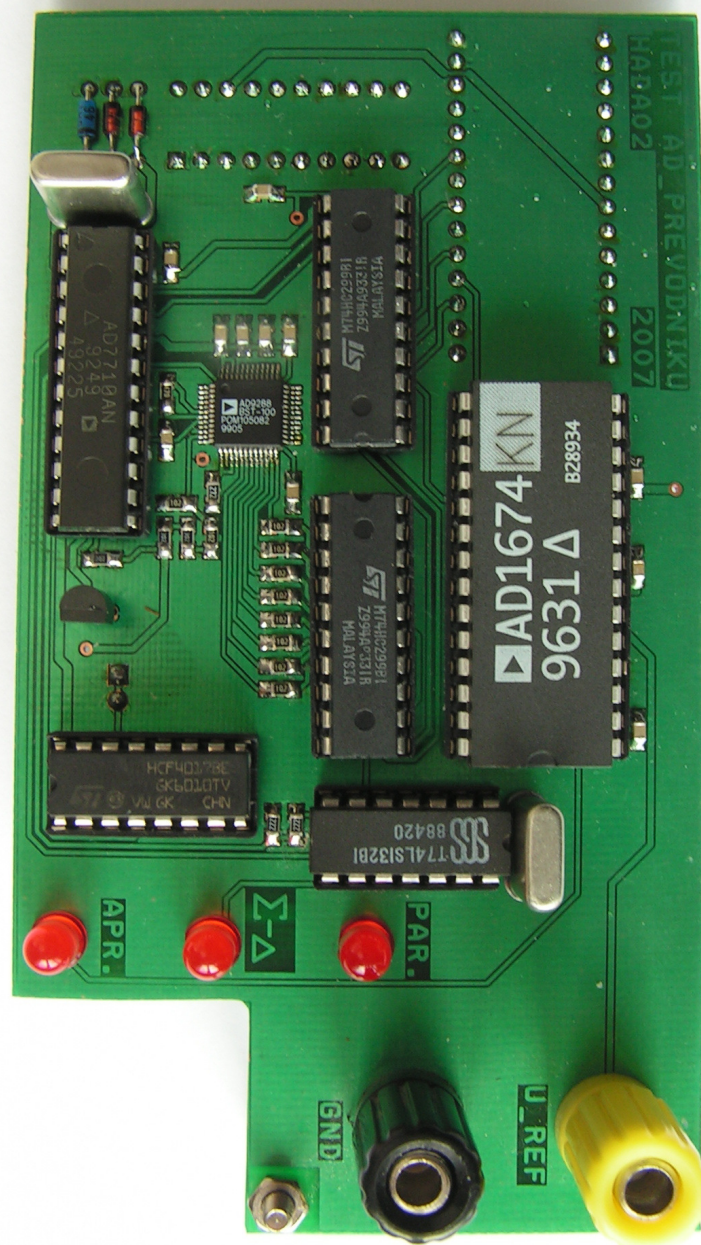
Počet	Označení	Typ	Pouzdro
21	C1,C2,C3,C4,C5,C6,C9,C10, C11,C12,C13,C14,C15,C16, C17,C18,C19,C20,C21,C22, C23	M1	0805
2	C7,C8	22pF	0805
3	D1,D2,D3	LED	LED
1	NL1	79L05	TO92
3	R1,R17,R19	50	0805
3	R2,R23,R24	3k	0805
17	R3,R13,R14,R15,R16,R18, R20,R21,R22,R25,R26,R27, R28,R29,R30,R31,R32	1K	0805
1	R4	2M2	0805
8	R5,R6,R7,R8,R9,R10,R11, R12	10k	0805
1	U1	AD7710	24DIP300
1	U2	konektor1	28DIP600S
2	U7,U3	74HC299	20DIP300
1	U4	AD5546	SOG.65M/28/WG8.20/L10.16
1	U5	konektor2	20DIP300
1	U6	74LS132	14DIP300
1	U8	4017	16DIP300
1	U9	AD9288	QUAD.50M/48/WG9.00
1	U10	AD1674	28DIP600S
3	VD1,VD2,VD3	1N4148	DO35
1	X1	TL_F2	J2-1
2	Y2,Y1	10MHz	KRYSTALV

Příloha č.13: Fotografie realizované desky 1

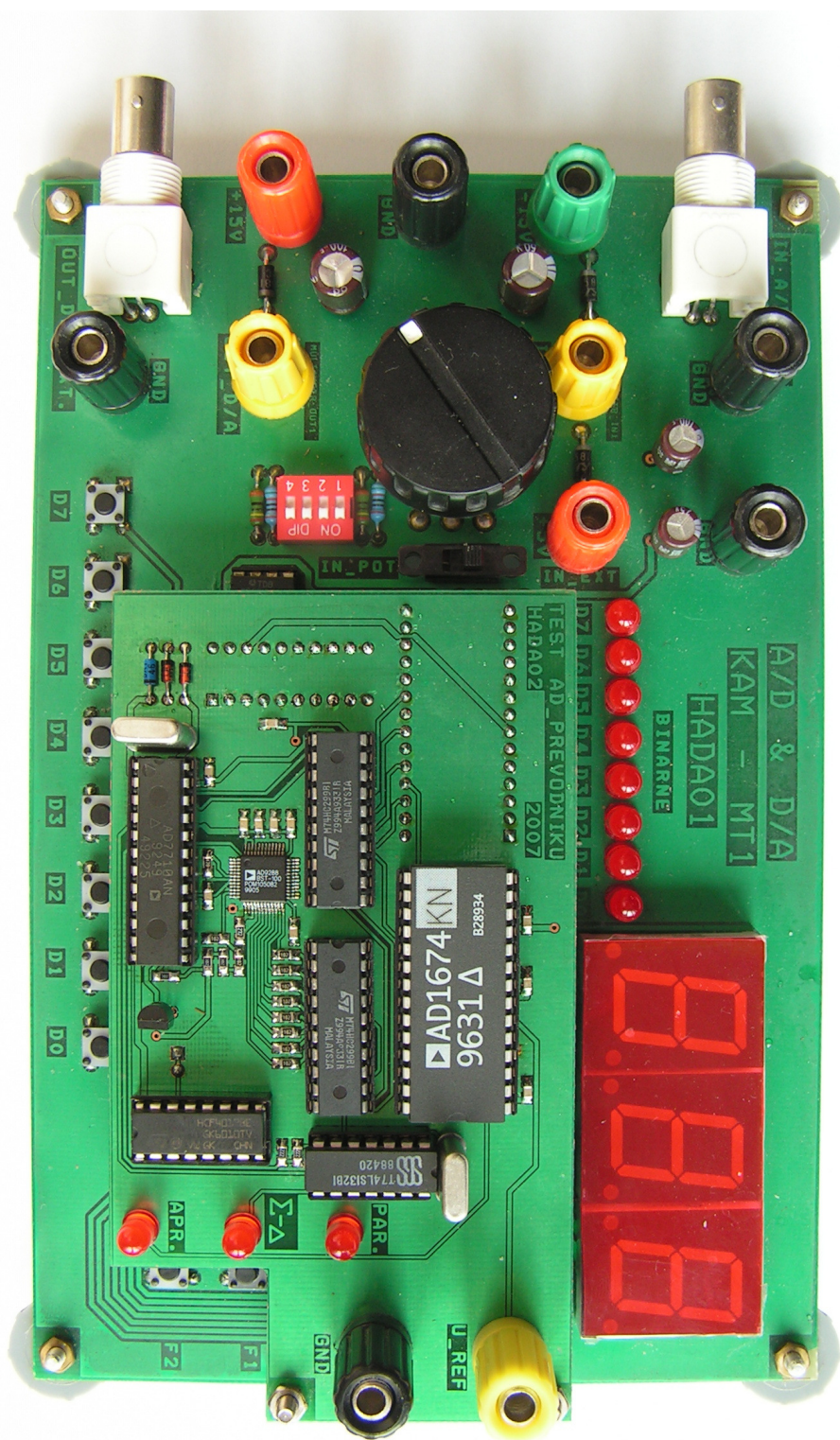




**Příloha č.14: Fotografie realizované desky 2**



Příloha č.15: Fotografie celého sestaveného přípravku





## Příloha č.16: Obsah přiloženého CD

Na přiloženém CD jsou následující adresáře:

- ***Diplomová práce*** – elektronická podoba diplomové práce v formátu DOC a PDF.
- ***Katalogové listy*** – jednotlivé katalogové listy použitých součástek v formátu PDF
- ***OrCAD*** – schéma a návrh motivu plošného spoje v elektronické podobě pro návrhový systém OrCAD v. 9.3.
- ***Software*** – software pro hradlová pole, podadresář pole 1 a podadresář pole 2, napsán v programovacím jazyce ABEL\_HDL